

PCT / IB 03 / 06219

22 DEC 2003

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月27日  
Date of Application:

REC'D 07 JAN 2004

出 願 番 号                      特願 2 0 0 2 - 3 8 2 4 2 6  
Application Number:

WIPO PCT

[ST. 10/C] : [ J P 2 0 0 2 - 3 8 2 4 2 6 ]

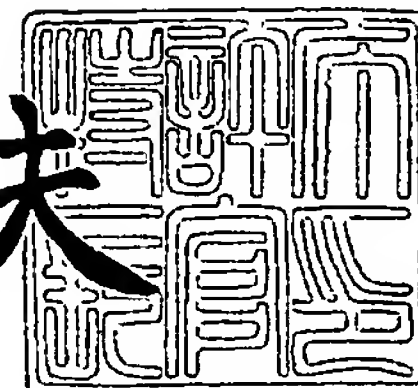
出 願 人 コーニンクレッカ フィリップス エレクトロニクス エヌ  
Applicant(s): ヴィ

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年10月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特 2 0 0 3 - 3 0 8 6 8 1 7

【書類名】 特許願

【整理番号】 PHJP020030

【あて先】 特許庁長官 殿

【国際特許分類】 H01F 5/00

【発明者】

【住所又は居所】 兵庫県神戸市西区高塚台 4 丁目 3 番 1 号 フィリップス  
モバイルディスプレイシステムズ神戸株式会社内

【氏名】 萩野 修司

【発明者】

【住所又は居所】 兵庫県神戸市西区高塚台 4 丁目 3 番 1 号 フィリップス  
モバイルディスプレイシステムズ神戸株式会社内

【氏名】 安居 勝

【特許出願人】

【識別番号】 590000248

【氏名又は名称】 コーニンクレッカ フィリップス エレクトロニクス  
エヌ ヱイ

【代理人】

【識別番号】 100087789

【弁理士】

【氏名又は名称】 津軽 進

【選任した代理人】

【識別番号】 100114753

【弁理士】

【氏名又は名称】 宮崎 昭彦

【選任した代理人】

【識別番号】 100121083

【弁理士】

【氏名又は名称】 青木 宏義

【手数料の表示】

【予納台帳番号】 060624

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9813318

【包括委任状番号】 0001373

【包括委任状番号】 0201655

【プルーフの要否】 要

【書類名】 明細書  
【発明の名称】 階調電圧出力装置  
【特許請求の範囲】

【請求項 1】 画像信号が入力されることにより、階調電圧を出力する階調電圧出力装置であって、

前記階調電圧出力装置が、

複数の階調電圧を有する階調電圧群を出力する階調電圧群出力部であって、データ線の選択期間に対応する階調電圧群出力期間に前記複数の階調電圧を順次に出力する階調電圧群出力部を複数有する階調電圧群出力手段と、

前記複数の階調電圧群出力部から出力された前記階調電圧群が入力される複数の階調電圧群入力部を有し、前記複数の階調電圧群入力部の各々に入力された前記階調電圧群を切替自在に選択し、前記選択した階調電圧群を出力する階調電圧群選択手段と、

前記階調電圧群選択手段が出力した前記階調電圧群が有する前記複数の階調電圧のうち、前記階調電圧出力装置が出力すべき階調電圧を選択する階調電圧選択手段と、

を備えたことを特徴とする階調電圧出力装置。

【請求項 2】 前記階調電圧群出力手段が、前記複数の階調電圧群出力部の各々が出力する前記階調電圧群を発生する階調電圧群発生手段を有することを特徴とする請求項 1 に記載の階調電圧出力装置。

【請求項 3】 前記画像信号が複数のビットで構成され、前記階調電圧群発生手段が、前記複数のビットが取り得るビットパターンの数と同数の階調電圧を発生し、

前記階調電圧群出力手段が、前記階調電圧群発生手段が発生した階調電圧を、前記階調電圧群出力期間に、前記複数の階調電圧群出力部から振り分けて出力することを特徴とする請求項 2 に記載の階調電圧出力装置。

【請求項 4】 前記階調電圧群選択手段が、前記複数のビットのうちの少なくとも最上位ビットを含む上位ビットのビットパターンに基づいて、前記複数の階調電圧群入力部のうちの 1 つの階調電圧群入力部を選択し、前記選択した 1 つ

の階調電圧群入力部に入力された前記階調電圧群を出力し、

前記階調電圧選択手段が、前記複数のビットのうちの少なくとも最下位ビットを含む下位ビットのビットパターンに基づいて、前記階調電圧群選択手段が出力した前記階調電圧群が有する前記複数の階調電圧から、前記階調電圧出力装置が出力すべき階調電圧を選択することを特徴とする請求項3に記載の階調電圧出力装置。

【請求項5】 前記画像信号が複数のビットで構成され、

前記階調電圧群出力手段が、前記複数のビットが取り得るビットパターンの数よりも少ない数の階調電圧を、前記階調電圧群出力期間に、前記複数の階調電圧群出力部から振り分けて出力することを特徴とする請求項1に記載の階調電圧出力装置。

【請求項6】 前記階調電圧群出力手段が、

複数の基準電圧を有する基準電圧群を出力する基準電圧群出力部であって、前記選択期間に対応する基準電圧群出力期間に前記複数の基準電圧を順次に出力する基準電圧群出力部を複数有する基準電圧群出力段と、

前記複数の基準電圧群出力部のうちの2つの基準電圧群出力部が出力する2つの基準電圧群を選択する基準電圧群選択段とを備え、

前記階調電圧群出力手段が、前記基準電圧群選択段が選択した前記2つの基準電圧群に基づいて、前記複数のビットが取り得るビットパターンの数よりも少ない数の階調電圧を、前記階調電圧群出力期間に、前記複数の階調電圧群出力部から振り分けて出力することを特徴とする請求項5に記載の階調電圧出力装置。

【請求項7】 前記基準電圧群選択段が、前記複数のビットのうちの少なくとも最上位ビットを含む上位ビットのビットパターンに基づいて、前記2つの基準電圧群を選択し、

前記階調電圧群選択手段が、前記複数のビットのうちの間位ビットのビットパターンに基づいて、前記複数の階調電圧群入力部のうちの1つの階調電圧群入力部を選択し、前記選択した1つの階調電圧群入力部に入力された前記階調電圧群を出力し、

前記階調電圧選択手段が、前記複数のビットのうちの少なくとも最下位ビット

を含む下位ビットのビットパターンに基づいて、前記階調電圧群選択手段が出力した前記階調電圧群が有する前記複数の階調電圧から、前記階調電圧出力装置が出力すべき階調電圧を選択することを特徴とする請求項6に記載の階調電圧出力装置。

【請求項8】 前記複数の基準電圧群のうちの少なくとも1つの基準電圧群が、前記階調電圧群として使用されることを特徴とする請求項6又は7に記載の階調電圧出力装置。

【請求項9】 前記階調電圧群出力期間が、第1の論理の最下位ビットを有する画像信号に対応した階調電圧を出力する第1の階調電圧出力期間と、第2の論理の最下位ビットを有する画像信号に対応した階調電圧を出力する第2の階調電圧出力期間とを有することを特徴とする請求項1乃至8のうちのいずれか1項に記載の階調電圧出力装置。

【請求項10】 前記第1の階調電圧出力期間は、前記第2の階調電圧出力期間に対して先行し、前記第1の階調電圧出力期間が前記第2の階調電圧出力期間よりも長いことを特徴とする請求項9に記載の階調電圧出力装置。

【請求項11】 前記画像信号が複数のビットから構成され、  
前記画像信号が所定のビットパターンを有し、  
前記複数の階調電圧群出力部のうちの第1の階調電圧群出力部が、前記連続する複数のフレーム期間のうちの1つ又は幾つかのフレーム期間に、第1の階調電圧群を出力し、  
前記複数の階調電圧群出力部のうちの第2の階調電圧群出力部が、前記連続する複数のフレーム期間のうちの残りのフレーム期間に、第2の階調電圧群を出力し、  
前記第1の階調電圧群が、前記所定のビットパターンに対応した理想階調電圧よりも小さい下位階調電圧と、前記所定のビットパターンに対応した理想階調電圧よりも大きい上位階調電圧とのうちの一方の階調電圧を含む複数の階調電圧を有し、  
前記第2の階調電圧群が、前記下位階調電圧と前記上位階調電圧とのうちの他方の階調電圧を含む複数の階調電圧を有し、



前記階調電圧群出力手段が、前記 1 つ又は幾つかのフレーム期間に前記第 1 の階調電圧群出力部から前記第 1 の階調電圧群を出力し、前記残りのフレーム期間に前記第 2 の階調電圧群出力部から前記第 2 の階調電圧群を出力し、

前記階調電圧群選択手段が、前記 1 つ又は幾つかのフレーム期間に前記第 1 の階調電圧群を選択し、前記残りのフレーム期間に前記第 2 の階調電圧群を選択し、

前記階調電圧選択手段が、前記階調電圧群選択手段が前記第 1 の階調電圧群を選択した場合、前記階調電圧出力装置が出力すべき階調電圧として前記一方の階調電圧を選択し、前記階調電圧群選択手段が前記第 2 の階調電圧群を選択した場合、前記階調電圧出力装置が出力すべき階調電圧として前記他方の階調電圧を選択することを特徴とする請求項 1 又は 2 に記載の階調電圧出力装置。

【請求項 1 2】 前記階調電圧群出力期間が、第 1 の論理の最下位ビットを有する画像信号に対応した階調電圧を出力する第 1 の階調電圧出力期間と、第 2 の論理の最下位ビットを有する画像信号に対応した階調電圧を出力する第 2 の階調電圧出力期間とを有することを特徴とする請求項 1 1 に記載の階調電圧出力装置。

【請求項 1 3】 前記第 1 の階調電圧出力期間は、前記第 2 の階調電圧出力期間に対して先行し、前記第 1 の階調電圧出力期間が前記第 2 の階調電圧出力期間よりも長いことを特徴とする請求項 1 2 に記載の階調電圧出力装置。

【請求項 1 4】 前記階調電圧出力装置が、複数の画像信号からなる一連の画像信号を処理する画像信号処理手段を備え、

前記画像信号処理手段が、前記複数の画像信号の各々の最下位ビットが前記第 2 の論理である場合、前記複数の画像信号のうちの 1 つ又は幾つかの画像信号を、ビットパターンが変更されていないビットパターン同一信号として出力し、一方、前記複数の画像信号のうちの残りの画像信号を、ビットパターンが変更されたビットパターン変更信号として出力し、

前記階調電圧群選択手段が、前記階調電圧群選択手段に、前記ビットパターン同一信号の複数ビットのうちの前記最下位ビットを除く上位ビットを表す第 1 の上位ビット信号が入力された場合、前記 1 つ又は幾つかのフレーム期間に、前記

第 1 の階調電圧群を選択し、前記階調電圧群選択手段に、前記ビットパターン変更信号の複数ビットのうちの前記最下位ビットを除く上位ビットを表す第 2 の上位ビット信号が入力された場合、前記残りのフレーム期間に、前記第 2 の階調電圧群を選択し、

前記階調電圧選択手段が、前記 1 つ又は幾つかのフレーム期間には、前記一方の階調電圧を選択し、前記残りのフレーム期間には、前記他方の階調電圧を選択することを特徴とする請求項 1 2 又は 1 3 に記載の階調電圧出力装置。

【請求項 1 5】 前記階調電圧出力装置が、

最大階調電圧又は最小階調電圧の理想階調電圧よりも小さい又は大きい追加の階調電圧を出力する追加電圧出力手段と、

前記階調電圧群選択手段を前記階調電圧選択手段に接続する第 1 の接続モードと、前記追加電圧出力手段を前記階調電圧選択手段に接続する第 2 の接続モードとを切替自在に実行する接続切替手段とを備え、

前記画像信号処理手段が、最大階調電圧又は最小階調電圧に対応する画像信号が入力された場合、前記 1 つ又は幾つかのフレーム期間では前記接続切替手段に前記第 1 の接続モードを実行させ、前記残りのフレーム期間では前記接続切替手段に前記第 2 の接続モードを実行させる旨の切替制御信号を出力することを特徴とする請求項 1 4 に記載の階調電圧出力装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画像信号が入力されることにより、階調電圧を出力する階調電圧出力装置に関する。

【0 0 0 2】

【従来の技術】

近年、カラー画像を表示する携帯電話等のモバイル装置が急速に普及しており、それに伴って、より多階調の画像を表示することが要求されている。

【0 0 0 3】

【発明が解決しようとする課題】



画像をより多階調で表示するためには、より多くの階調電圧を発生し、その発生した階調電圧の中から、画像信号に対応する階調電圧を出力することができる階調電圧出力装置が必要となる。従って、発生させるべき階調電圧が多くなるに従って、階調電圧出力装置の占有面積が増大し、モバイル装置の小型化が困難であるという問題がある。

#### 【0004】

本発明は、上記の事情に鑑み、小型化が図られた階調電圧出力装置を提供することを目的とする。

#### 【0005】

##### 【課題を解決するための手段】

上記目的を達成する本発明の階調電圧出力装置は、画像信号が入力されることにより、階調電圧を出力する階調電圧出力装置であって、上記階調電圧出力装置が、複数の階調電圧を有する階調電圧群を出力する階調電圧群出力部であって、データ線の選択期間に対応する階調電圧群出力期間に上記複数の階調電圧を順次に出る階調電圧群出力部を複数有する階調電圧群出力手段と、上記複数の階調電圧群出力部から出力された上記階調電圧群が入力される複数の階調電圧群入力部を有し、上記複数の階調電圧群入力部の各々に入力された上記階調電圧群を切替自在に選択し、上記選択した階調電圧群を出力する階調電圧群選択手段と、上記階調電圧群選択手段が出力した上記階調電圧群が有する上記複数の階調電圧のうち、上記階調電圧出力装置が出力すべき階調電圧を選択する階調電圧選択手段とを備えたことを特徴とする。

#### 【0006】

本発明の階調電圧出力装置は階調電圧群出力手段を備えている。この階調電圧群出力手段は複数の階調電圧群出力部を有しており、複数の階調電圧群の各々は、データ線の選択期間に対応する階調電圧群出力期間に、複数の階調電圧を出力する。従って、本発明では、階調電圧群出力手段に必要な階調電圧群出力部の数は、階調電圧群出力手段が出力すべき階調電圧の数よりも少なくても済み、階調電圧群出力手段の小型化が図られる。また、本発明の階調電圧出力装置は、複数の階調電圧群入力部を有する階調電圧群選択手段を備えている。この複数の階調電

圧群入力部には、複数の階調電圧群出力部から出力された階調電圧群が入力される。従って、1個の階調電圧群入力部には複数の階調電圧が入力される。このため、階調電圧群選択手段に必要とされる階調電圧群入力部は、階調電圧群出力手段が階調電圧群出力期間に出力する階調電圧の数よりも少なくても済み、階調電圧群選択手段の小型化が図られる。

#### 【0007】

上記階調電圧群出力手段は、上記複数の階調電圧群出力部の各々が出力する上記階調電圧群を発生する階調電圧群発生手段を有することができる。

#### 【0008】

また、本発明の階調電圧出力装置は、上記画像信号が複数のビットで構成され、上記階調電圧群発生手段が、上記複数のビットが取り得るビットパターンの数と同数の階調電圧を発生し、上記階調電圧群出力手段が、上記階調電圧群発生手段が発生した階調電圧を、上記階調電圧群出力期間に、上記複数の階調電圧群出力部から振り分けて出力するように構成することができる。

#### 【0009】

このような構成によって、階調電圧群出力手段は、階調電圧群発生手段が発生することができる全ての階調電圧を、階調電圧群出力期間に出力することができる。

#### 【0010】

また、本発明の階調電圧出力装置は、上記階調電圧群選択手段が、上記複数のビットのうちの少なくとも最上位ビットを含む上位ビットのビットパターンに基づいて、上記複数の階調電圧群入力部のうちの1つの階調電圧群入力部を選択し、上記選択した1つの階調電圧群入力部に入力された上記階調電圧群を出力し、上記階調電圧選択手段が、上記複数のビットのうちの少なくとも最下位ビットを含む下位ビットのビットパターンに基づいて、上記階調電圧群選択手段が出力した上記階調電圧群が有する上記複数の階調電圧から、上記階調電圧出力装置が出力すべき階調電圧を選択するように構成することができる。

#### 【0011】

このような構成によって、階調電圧出力装置は、画像信号に対応した階調電圧

を出力することができる。

#### 【0012】

また、本発明の階調電圧出力装置は、上記画像信号が複数のビットで構成され、上記階調電圧群出力手段が、上記複数のビットが取り得るビットパターンの数よりも少ない数の階調電圧を、上記階調電圧群出力期間に、上記複数の階調電圧群出力部から振り分けて出力してもよい。この場合、上記階調電圧群出力手段が、複数の基準電圧を有する基準電圧群を出力する基準電圧群出力部であって、上記選択期間に対応する基準電圧群出力期間に上記複数の基準電圧を順次に出力する基準電圧群出力部を複数有する基準電圧群出力段と、上記複数の基準電圧群出力部のうちの2つの基準電圧群出力部が出力する2つの基準電圧群を選択する基準電圧群選択段とを備え、上記階調電圧群出力手段が、上記基準電圧群選択段が選択した上記2つの基準電圧群に基づいて、上記複数のビットが取り得るビットパターンの数よりも少ない数の階調電圧を、上記階調電圧群出力期間に、上記複数の階調電圧群出力部から振り分けて出力するように構成することができる。

#### 【0013】

このような構成によって、階調電圧群出力手段は、階調電圧群発生手段が発生することができる一部の階調電圧を、階調電圧群出力期間に出力することができる。

#### 【0014】

ここで、上記基準電圧群選択段が、上記基準電圧群選択段が、上記複数のビットのうちの少なくとも最上位ビットを含む上位ビットのビットパターンに基づいて、上記2つの基準電圧群を選択し、上記階調電圧群選択手段が、上記複数のビットのうちの中間位ビットのビットパターンに基づいて、上記複数の階調電圧群入力部のうちの1つの階調電圧群入力部を選択し、上記選択した1つの階調電圧群入力部に入力された上記階調電圧群を出力し、上記階調電圧選択手段が、上記複数のビットのうちの少なくとも最下位ビットを含む下位ビットのビットパターンに基づいて、上記階調電圧群選択手段が出力した上記階調電圧群が有する上記複数の階調電圧から、上記階調電圧出力装置が出力すべき階調電圧を選択するように構成することができる。

## 【0015】

このような構成によって、階調電圧出力装置から、画像信号に対応した階調電圧を出力することができる。

## 【0016】

また、本発明の階調電圧出力装置は、上記複数の基準電圧群のうちの少なくとも1つの基準電圧群が、上記階調電圧群として使用されることが好ましい。

## 【0017】

基準電圧群を階調電圧群として使用することによって、階調電圧群出力装置を更に小型にすることができる。

## 【0018】

ここで、上記階調電圧群出力期間が、第1の論理の最下位ビットを有する画像信号に対応した階調電圧を出力する第1の階調電圧出力期間と、第2の論理の最下位ビットを有する画像信号に対応した階調電圧を出力する第2の階調電圧出力期間とを有することができ、この場合、上記第1の階調電圧出力期間は、上記第2の階調電圧出力期間に対して先行し、上記第1の階調電圧出力期間が上記第2の階調電圧出力期間よりも長いことが好ましい。

## 【0019】

第1の階調電圧出力期間が第2の階調電圧出力期間よりも長いことによって、より高品質の画像を表示することが可能となる。

## 【0020】

また、本発明の階調電圧出力装置は、上記画像信号が複数のビットから構成され、上記画像信号が所定のビットパターンを有し、上記複数の階調電圧群出力部のうちの第1の階調電圧群出力部が、上記連続する複数のフレーム期間のうちの1つ又は幾つかのフレーム期間に、第1の階調電圧群を出力し、上記複数の階調電圧群出力部のうちの第2の階調電圧群出力部が、上記連続する複数のフレーム期間のうちの残りのフレーム期間に、第2の階調電圧群を出力し、上記第1の階調電圧群が、上記所定のビットパターンに対応した理想階調電圧よりも小さい下位階調電圧と、上記所定のビットパターンに対応した理想階調電圧よりも大きい上位階調電圧とのうちの一方の階調電圧を含む複数の階調電圧を有し、上記第2

の階調電圧群が、上記下位階調電圧と上記上位階調電圧との中の他方の階調電圧を含む複数の階調電圧を有し、上記階調電圧群出力手段が、上記1つ又は幾つかのフレーム期間に上記第1の階調電圧群出力部から上記第1の階調電圧群を出力し、上記残りのフレーム期間に上記第2の階調電圧群出力部から上記第2の階調電圧群を出力し、上記階調電圧群選択手段が、上記1つ又は幾つかのフレーム期間に上記第1の階調電圧群を選択し、上記残りのフレーム期間に上記第2の階調電圧群を選択し、上記階調電圧選択手段が、上記階調電圧群選択手段が上記第1の階調電圧群を選択した場合、上記階調電圧出力装置が出力すべき階調電圧として上記一方の階調電圧を選択し、上記階調電圧群選択手段が上記第2の階調電圧群を選択した場合、上記階調電圧出力装置が出力すべき階調電圧として上記他方の階調電圧を選択するように構成することもできる。

#### 【0021】

このような構成では、連続する複数のフレーム期間を利用して高品質の画像を表示させることができる。

#### 【0022】

ここで、上記階調電圧群出力期間が、第1の論理の最下位ビットを有する画像信号に対応した階調電圧を出力する第1の階調電圧出力期間と、第2の論理の最下位ビットを有する画像信号に対応した階調電圧を出力する第2の階調電圧出力期間とを有することができ、この場合、上記第1の階調電圧出力期間は、上記第2の階調電圧出力期間に対して先行し、上記第1の階調電圧出力期間が上記第2の階調電圧出力期間よりも長いことが好ましい。

#### 【0023】

第1の階調電圧出力期間が第2の階調電圧出力期間よりも長いことによって、より高品質の画像を表示することが可能となる。

#### 【0024】

また、本発明の階調電圧出力装置は、上記階調電圧出力装置が、複数の画像信号からなる一連の画像信号を処理する画像信号処理手段を備え、上記画像信号処理手段が、上記複数の画像信号の各々の最下位ビットが上記第2の論理である場合、上記複数の画像信号のうちの1つ又は幾つかの画像信号を、ビットパターン



が変更されていないビットパターン同一信号として出力し、一方、上記複数の画像信号のうちの残りの画像信号を、ビットパターンが変更されたビットパターン変更信号として出力し、上記階調電圧群選択手段が、上記階調電圧群選択手段に、上記ビットパターン同一信号の複数ビットのうちの上記最下位ビットを除く上位ビットを表す第 1 の上位ビット信号が入力された場合、上記 1 つ又は幾つかのフレーム期間に、上記第 1 の階調電圧群を選択し、上記階調電圧群選択手段に、上記ビットパターン変更信号の複数ビットのうちの上記最下位ビットを除く上位ビットを表す第 2 の上位ビット信号が入力された場合、上記残りのフレーム期間に、上記第 2 の階調電圧群を選択し、上記階調電圧群選択手段が、上記 1 つ又は幾つかのフレーム期間には、上記一方の階調電圧を選択し、上記残りのフレーム期間には、上記他方の階調電圧を選択するように構成することができる。

#### 【0 0 2 5】

このような構成によって、より高品質の画像を表示することが可能となる。

#### 【0 0 2 6】

また、本発明の階調電圧出力装置は、上記階調電圧出力装置が、最大階調電圧又は最小階調電圧の理想階調電圧よりも小さい又は大きい追加の階調電圧を出力する追加電圧出力手段と、上記階調電圧群選択手段を上記階調電圧選択手段に接続する第 1 の接続モードと、上記追加電圧出力手段を上記階調電圧選択手段に接続する第 2 の接続モードとを切替自在に実行する接続切替手段とを備え、上記画像信号処理手段が、最大階調電圧又は最小階調電圧に対応する画像信号が入力された場合、上記 1 つ又は幾つかのフレーム期間では上記接続切替手段に上記第 1 の接続モードを実行させ、上記残りのフレーム期間では上記接続切替手段に上記第 2 の接続モードを実行させる旨の切替制御信号を出力することが好ましい。

#### 【0 0 2 7】

このような構成によって、最大階調電圧又は最小階調電圧に対応する画像をより高品質に表示することが可能となる。

#### 【0 0 2 8】

#### 【発明の実施の形態】

以下、本発明の実施形態について、本発明の階調電圧出力装置を液晶表示装置



に適用した例について説明するが、本発明の階調電圧出力装置は、液晶表示装置以外の画像表示装置にも適用することができる。

#### 【0029】

##### [第1実施形態]

この第1実施形態には、後述する階調電圧群出力手段600が有する32個の出力部Out1乃至Out32の各々に2つの階調電圧を出力させることによって、図1に示す液晶表示装置1に64階調の表示をさせることができる例が記載されている。

#### 【0030】

図1は、液晶表示装置1の概略ブロック図である。

#### 【0031】

この液晶表示装置1は階調電圧出力装置6を有している。この階調電圧出力装置6には6ビットの画像信号 $S_i$ が入力される。階調電圧出力装置6は、この画像信号 $S_i$ が入力されると、その画像信号 $S_i$ のビットパターンが表す階調電圧を出力する。階調電圧出力装置6が出力した階調電圧は、映像ライン5、ソースドライバ4及びソースバス $B_s$ （本発明にいうデータ線に相当する）を経由して表示部2の各画素に供給され、この結果表示部2に画像が表示される。

#### 【0032】

図2は、図1に示す液晶表示装置1が備えている階調電圧出力装置6の概略構成図である。

#### 【0033】

この階調電圧出力装置6は、64レベルの階調電圧 $V_1$ 乃至 $V_{64}$ を発生することができる階調電圧群出力手段600を備えている。この階調電圧群出力手段600は32個の階調電圧群出力部Out1乃至Out32を有している。更に、この階調電圧群出力手段600は電源回路60と、直列接続された抵抗 $R_1$ 乃至 $R_{31}$ を有する抵抗チェーン61とを備えている。この電源回路60と抵抗チェーン61とにより発生した電圧が、階調電圧群出力手段600の出力部Out1乃至Out32から出力される。尚、この電源回路60と抵抗チェーン61とを合わせたものが、本発明にいう階調電圧群発生手段に相当する。

## 【0034】

図3は、階調電圧群出力手段600の出力部Out1乃至Out32から出力される階調電圧群G1乃至G32を示すグラフである。図3には、フレーム期間Fにおいて、ソースバスの1つの選択期間P<sub>s</sub>に対応する階調電圧群出力期間P<sub>v</sub>に、出力部Out1乃至Out32が出力する階調電圧群G1乃至G32の電圧波形が概略的に示されている。尚、図3では、説明の便宜上、これらの階調電圧群G1乃至G32の電圧値は、表示部2の共通電極（図示せず）に供給される電圧値との差の絶対値で示してあることに注意されたい。

## 【0035】

階調電圧群出力手段600の電源回路60（図2参照）は、階調電圧群G1とG32とを発生する。階調電圧群G1は階調電圧V1及びV2を有し、一方、階調電圧群G32は階調電圧V63及びV64を有する。階調電圧群G1は、階調電圧群出力期間P<sub>v</sub>に階調電圧群出力手段600の出力部Out1から出力され、一方、階調電圧群G32は、階調電圧群出力期間P<sub>v</sub>に階調電圧群出力手段600の出力部Out32から出力される。階調電圧群出力期間P<sub>v</sub>は、奇数階調期間P<sub>o</sub>（本発明にいう第1の階調電圧出力期間に相当する）と偶数階調期間P<sub>e</sub>（本発明にいう第2の階調電圧出力期間に相当する）とに分けられている。階調電圧群G1の階調電圧V1は奇数階調期間P<sub>o</sub>に出力され、一方、階調電圧V2は偶数階調期間P<sub>o</sub>に出力される。更に、階調電圧群G32の階調電圧V63は奇数階調期間P<sub>o</sub>に出力され、一方、階調電圧V64は偶数階調期間P<sub>o</sub>に出力される。階調電圧V2は階調電圧V1より $\Delta V$ だけ小さい値に設定され、階調電圧V64も階調電圧V63より $\Delta V$ だけ小さい値に設定されている。

## 【0036】

また、電源回路60が発生した階調電圧群G1及びG32は、階調電圧群出力手段600の出力部Out1及びOut32から出力されるとともに、抵抗チェーン61の両端に印加される。この抵抗チェーン61に階調電圧群G1とG32とが印加されることによって、この抵抗チェーン61が階調電圧群G2乃至G31を発生する。この発生した階調電圧群G2乃至G31は、階調電圧群出力手段600の出力部Out2乃至Out31から出力される。従って、階調電圧群出力手段600

は、階調電圧群出力部Out 1 乃至Out 3 2 から階調電圧群G 1 乃至G 3 2 を出力することができる。奇数階調期間P<sub>o</sub>では、抵抗チェーン6 1 の両端に階調電圧V<sub>1</sub> 及びV<sub>6 3</sub> が印加され、この結果、抵抗チェーン6 1 は階調電圧V<sub>1</sub> とV<sub>6 3</sub> との間の階調電圧V<sub>3</sub>、V<sub>5</sub>、 $\dots$ 、V<sub>5 9</sub>、V<sub>6 1</sub>を発生する。従って、階調電圧群出力手段6 0 0 の出力部Out 1 乃至Out 3 2 から、奇数レベルの3 2 個の階調電圧V<sub>2n-1</sub> ( $n=1, 2, \dots, x, x+1, \dots, 32$ ) が出力される。つまり、奇数階調期間P<sub>o</sub>では、6 4 レベルの階調電圧のうちの半分の階調電圧V<sub>2n-1</sub>のみが出力される。

#### 【0 0 3 7】

一方、偶数階調期間P<sub>e</sub>では、抵抗チェーン6 1 の両端に階調電圧V<sub>2</sub> 及びV<sub>6 4</sub> が印加され、この結果、抵抗チェーン6 1 は、階調電圧V<sub>2</sub> とV<sub>6 4</sub> との間の階調電圧V<sub>4</sub>、V<sub>6</sub>、 $\dots$ 、V<sub>6 0</sub>、V<sub>6 2</sub>を発生する。従って、階調電圧群出力手段6 0 0 の出力部Out 1 乃至Out 3 2 から、偶数レベルの3 2 種類の階調電圧V<sub>2n</sub> ( $n=1, 2, \dots, x, x+1, \dots, 32$ ) が出力される。

#### 【0 0 3 8】

上述したように、出力部Out 1 から偶数階調期間P<sub>e</sub>に出力される階調電圧V<sub>2</sub> は奇数階調期間P<sub>o</sub>に出力される階調電圧V<sub>1</sub> より $\Delta V$ だけ小さい値に設定され、出力部Out 3 2 から偶数階調期間P<sub>e</sub>に出力される階調電圧V<sub>6 4</sub> も奇数階調期間P<sub>o</sub>に出力される階調電圧V<sub>6 3</sub> より $\Delta V$ だけ小さい値に設定されている。従って、その他の出力部Outから偶数階調期間P<sub>e</sub>に出力される階調電圧も、奇数階調期間P<sub>o</sub>に出力される階調電圧より $\Delta V$ だけ小さい値となる。この値 $\Delta V$ は、偶数レベルの階調電圧V<sub>2x</sub>が、奇数レベルの階調電圧V<sub>2x-1</sub>とV<sub>2(x+1)-1</sub>との間に位置するように選択されている。従って、出力部Out 1 乃至Out 3 2 の各々は、階調電圧群出力期間P<sub>v</sub>内に、2つの階調電圧を出力する。この結果、階調電圧群出力手段6 0 0 が有する出力部Out 1 乃至Out 3 2 は3 2 個であるが、階調電圧群出力手段6 0 0 は、階調電圧群出力期間P<sub>v</sub>が終了するまでに、6 4 レベルの階調電圧の全てを出力することができる。

#### 【0 0 3 9】

また、階調電圧出力装置6 はセレクトア6 2 を備えている。このセレクトア6 2 (

本発明にいう階調電圧群選択手段に相当する)は、階調電圧群出力手段600の32個の出力部Out1乃至Out32に対応して、32個の階調電圧群入力部In1乃至In32を備えている。階調電圧群出力手段600の32個の出力部Out1乃至Out32から出力された階調電圧群G1乃至G32は、セレクタ62の対応する入力部In1乃至In32に入力される。また、このセレクタ62には、画像信号Siを構成する6ビットのうち、最上位ビットMSB (Most Significant Bit) を含む上位5ビットFHB (Five Highmost Bits) を表す上位ビット信号Sfが入力される。セレクタ62は、32個の入力部In1乃至In32のうち、上位ビット信号Sfが表す上位5ビットのビットパターンに対応する1つの入力部を選択し、この選択した入力部に入力された階調電圧群を出力する。上位ビット信号Sfは $2^5=32$ 通りのビットパターンを取り得るため、セレクタ62は、上位ビット信号Sfが表す上位5ビットのビットパターンに応じて、32個の入力部In1乃至In32の各々を選択することができる。従って、画像信号の6ビットのうちの上位5ビットのビットパターンに変更が無ければ、その6ビットのうちの最下位ビットが“0”であるか“1”であるかとは無関係に、セレクタ62は同じ入力部を選択する。

#### 【0040】

また、階調電圧出力装置6は、セレクタ62と映像ライン5とが接続されるか否かを切り替えるスイッチ63 (本発明にいう階調電圧選択手段に相当する)を備えている。このスイッチ63の開閉は、画像信号Siの6ビットのうち、最下位ビットLSB (Least Significant Bit) を表す最下位ビット信号Slsbによって制御される。最下位ビットが“1”の場合、スイッチ63は、各階調電圧群出力期間Pvを通じて閉じた状態である。一方、最下位ビットが“0”の場合、スイッチ63は、各階調電圧群出力期間Pvのうち奇数階調期間Poは閉じた状態であるが、偶数階調期間Peは開いた状態になる。

#### 【0041】

以上説明したようにして、階調電圧出力装置6が構成される。

#### 【0042】

以下、この階調電圧出力装置6の動作を具体的に説明する。この動作の説明に

あたっては、(1) 表示部 2 に画像信号  $S_i$  “000010” が表す画像を表示する場合、及び (2) 表示部 2 に画像信号  $S_i$  “000011” が表す画像を表示する場合の階調電圧出力装置 6 の動作を取り上げて説明する。

#### 【0043】

(1) 表示部 2 に画像信号  $S_i$  “000010” が表す画像を表示する場合

この場合、階調電圧出力装置 6 に “000010” の画像信号  $S_i$  が入力される。この入力された画像信号 “000010” の上位 5 ビット “00001” を表す上位ビット信号  $S_f$  はセレクタ 62 に入力され、一方、最下位ビット “0” を表す最下位ビット信号  $S_{lsb}$  はスイッチ 63 に入力される。

#### 【0044】

セレクタ 62 に入力された信号  $S_f$  は “00001” であるので、セレクタ 62 は、32 個の入力部  $In_1$  乃至  $In_{32}$  のうち、上位 5 ビット “00001” のビットパターンに対応した入力部  $In_2$  を選択する。従って、セレクタ 62 は、選択された入力部  $In_2$  に入力された階調電圧群  $G_2$  をスイッチ 63 に出力する。階調電圧群  $G_2$  は、図 3 に示すように、奇数階調期間  $P_o$  においては階調電圧  $V_3$  であるため、セレクタ 62 は、奇数階調期間  $P_o$  の間、階調電圧  $V_3$  をスイッチ 63 に出力する。一方、奇数階調期間  $P_o$  から偶数階調期間  $P_e$  に移行すると、階調電圧群  $G_2$  は階調電圧  $V_3$  から階調電圧  $V_4$  に変化するため、セレクタ 62 は、階調電圧  $V_4$  をスイッチ 63 に出力する。

#### 【0045】

スイッチ 63 に入力される信号  $S_{lsb}$  は “0” であるため、スイッチ 63 は、階調電圧群出力期間  $P_v$  のうち奇数階調期間  $P_o$  は閉じた状態であるが、偶数階調期間  $P_e$  は開いた状態になる。この結果、奇数階調期間  $P_o$  にセレクタ 62 が出力した階調電圧  $V_3$  は映像ライン 5 に供給されるが、一方、偶数階調期間  $P_e$  にセレクタ 62 が出力した階調電圧  $V_4$  は、スイッチ 63 が開いているため映像ライン 5 には供給されない。従って、画像信号  $S_i$  が “000010” の場合、セレクタ 62 は階調電圧  $V_3$  と  $V_4$  との両方を出力するが、映像ライン 5 には階調電圧  $V_3$  のみが供給される。この映像ライン 5 に供給された階調電圧  $V_3$  は、ソースドライバ 4 を経由して選択期間  $P_s$  の間にソースバス  $B_s$  に供給される。



図3を参照しながら説明したように、階調電圧 $V_3$ は、選択期間 $P_s$ に対応する階調電圧群出力期間 $P_v$ の奇数階調期間 $P_o$ に、階調電圧群出力手段600から出力される。従って、階調電圧 $V_3$ は、ソースバス $B_s$ の選択期間 $P_s$ の間にソースバス $B_s$ に供給される。このソースバス $B_s$ に供給された階調電圧 $V_3$ は、ゲートバス $B_g$ により選択されている表示部2の画素に供給される。このようにして、表示部2に、画像信号“000010”が表す画像を表示することができる。

#### 【0046】

(2) 表示部2に画像信号 $S_i$ “000011”が表す画像を表示する場合

この場合、階調電圧出力装置6に画像信号 $S_i$ “000011”が入力される。この入力された画像信号“000011”の上位5ビット‘00001’を表す上位ビット信号 $S_f$ はセクタ62に入力され、一方、最下位ビット‘0’を表す最下位ビット信号 $S_{lsb}$ はスイッチ63に入力される。

#### 【0047】

この上位ビット信号 $S_f$ のビットパターン‘00001’は、先に説明した画像信号“000010”の上位ビット信号 $S_f$ と同一のビットパターンを有するため、セクタ62は入力部In2を選択する。従って、セクタ62は、奇数階調期間 $P_o$ に階調電圧 $V_3$ を出力し、一方、偶数階調期間 $P_e$ に階調電圧 $V_4$ を出力する。

#### 【0048】

このように、階調電圧出力装置6に画像信号“000011”が供給された場合は、画像信号“000010”が供給された場合と同様に、セクタ62は階調電圧 $V_3$ 及び $V_4$ を出力する。しかしながら、階調電圧出力装置6に画像信号“000011”が入力された場合、スイッチ63に入力される信号 $S_{lsb}$ は“1”であるため、スイッチ63は、奇数階調期間 $P_o$ だけでなく偶数階調期間 $P_e$ も閉じた状態になる。従って、階調電圧 $V_3$ が映像ライン5に供給された後、階調電圧 $V_4$ も映像ライン5に供給される。この映像ライン5に供給された階調電圧 $V_3$ 及び $V_4$ は、ソースドライバ4を経由して選択期間 $P_s$ の間にソースバス $B_s$ に供給される。図3を参照しながら説明したように、これら階調電圧 $V_3$



及びV 4 は、選択期間 P s に対応する階調電圧群出力期間 P v に、階調電圧群出力手段 6 0 0 から出力される。従って、ソースバス B s の選択期間 P s の間に、階調電圧 V 3 と V 4 との両方がソースバス B s に供給される。このソースバス B s に供給された階調電圧 V 3 及び V 4 は、ゲートバス B g により選択されている表示部 2 の画素に供給される。この画素には、階調電圧 V 3 及び V 4 のうち、最初に階調電圧 V 3 が供給されるが、続いて階調電圧 V 4 が供給される。このようにして、表示部 2 に、画像信号 “0 0 0 0 1 1” が表す画像を表示することができる。

#### 【0 0 4 9】

上記の説明では、表示部 2 に画像信号 S i “0 0 0 0 1 0” 及び “0 0 0 0 1 1” が表す画像を表示する場合について記載したが、他のビットパターンを有する画像信号についても、同様に説明することができる。

#### 【0 0 5 0】

このように、階調電圧出力装置 6 は、入力された画像信号 S i の最下位ビットが ‘1’ であるか ‘0’ であるかに応じてスイッチ 6 3 の開閉を制御するため、画像信号 S i のビットパターンに対応した階調電圧を出力することができる。

#### 【0 0 5 1】

この階調電圧出力装置 6 は、階調電圧群出力手段 6 0 0 の出力部 Out 1 乃至 Out 3 2 の各々から 2 つの階調電圧を出力することによって、合計 6 4 個の階調電圧を出力させている。つまり、階調電圧群出力手段 6 0 0 に必要な出力部の数は、出力すべき階調電圧の数の半分で済む。従って、階調電圧群出力手段 6 0 0 に 6 4 個の階調電圧に対応して出力部 Out を 6 4 個設ける必要は無く、階調電圧群出力手段 6 0 0 の小型化が図られる。

#### 【0 0 5 2】

また、セレクタ 6 2 に必要な入力部 In 1 乃至 In 3 2 の総数は、階調電圧群出力手段 6 0 0 の出力部 Out 1 乃至 Out 3 2 の総数と同じ 3 2 個である。従って、セレクタ 6 2 が、入力部 In 1 乃至 In 3 2 の切替えに必要とするスイッチの数も 3 2 個で済む。これによって、セレクタ 6 2 に 6 4 個の階調電圧に対応してスイッチを 6 4 個も備える必要が無く、セレクタ 6 2 の小型化が図られる。

## 【0053】

また、本実施形態では、各階調電圧群出力期間  $P_v$  の奇数階調期間  $P_o$  の長さはできるだけ長いことが好ましいことに注意すべきである。この理由を説明するために、ソースバス  $B_s$  の或る選択期間において画素  $P_{ix1}$  に階調電圧  $V_\alpha$  を供給した後に、このソースバス  $B_s$  の次の選択期間において隣接画素  $P_{ix2}$  に階調電圧  $V_\beta$  を供給する場合について考える。この場合、ソースバス  $B_s$  の電位は或る選択期間に階調電圧  $V_\alpha$  に対応した電位に到達し、次の選択期間に階調電圧  $V_\alpha$  から  $V_\beta$  に対応した電位に変化する。従って、表示部 2 は、或る選択期間において階調電圧  $V_\alpha$  に対応した画像を表示し、次の選択期間において階調電圧  $V_\beta$  に対応した画像を表示する。表示部 2 が良好な品質の画像を表示できるようにするためには、或る選択期間において階調電圧  $V_\alpha$  に対応した電位に到達していたソースバス  $B_s$  の電位が、次の選択期間が終了するまでに階調電圧  $V_\alpha$  から  $V_\beta$  に対応した電位に変化しなければならない。もし、階調電圧  $V_\alpha$  と  $V_\beta$  との差が小さい場合（例えば、階調電圧  $V_1$  及び  $V_2$ ）、次の選択期間におけるソースバスの電位変化量も小さいため、ソースバス  $B_s$  の電位は、階調電圧  $V_\alpha$  から  $V_\beta$  に対応した電位に瞬時に変化する。しかしながら、階調電圧  $V_\alpha$  と  $V_\beta$  との差が大きい場合（例えば、階調電圧  $V_1$  及び  $V_{63}$ ）、次の選択期間におけるソースバスの電位変化量も大きいいため、奇数階調期間  $P_o$  があまり短すぎると、ソースバス  $B_s$  の電位が階調電圧  $V_\alpha$  から  $V_\beta$  に対応した電位に変化する前に、ソースバス  $B_s$  への階調電圧  $V_\beta$  の供給が終了してしまう。この場合、表示部 2 が表示する画像の品質が劣化する。

## 【0054】

そこで、このような画質の劣化を防止するためには、奇数階調期間  $P_o$  をできるだけ長くすることが好ましい。奇数階調期間  $P_o$  が長ければ長いほど、次の選択期間内にソースバス  $B_s$  に供給されるべき階調電圧  $V_\beta$  の供給期間も長くすることができるため、階調電圧  $V_\alpha$  と  $V_\beta$  との差が大きいとしても、ソースバス  $B_s$  の電位を階調電圧  $V_y$  に対応する電位に到達させることができる。

## 【0055】

尚、奇数階調期間  $P_o$  を長くすると、それに応じて偶数階調期間  $P_e$  を短くし

なければならない。従って、偶数階調期間  $P_e$  の階調電圧  $V_{2x}$  がソースバス  $B_s$  に供給される期間は、奇数階調期間  $P_o$  の階調電圧  $V_{2x-1}$  がソースバス  $B_s$  に供給される期間よりも短くなる。しかしながら、ソースバス  $B_s$  には、偶数階調期間  $P_e$  の階調電圧  $V_{2x}$  が供給される直前まで、奇数階調期間  $P_o$  の階調電圧  $V_{2x-1}$  が供給されており、この階調電圧  $V_{2x-1}$  と  $V_{2x}$  との差はごく僅かである。従って、偶数階調期間  $P_e$  が短くても、ソースバス  $B_s$  の電位は階調電圧  $V_{2x-1}$  から  $V_{2x}$  に対応した電位に瞬時に到達する。従って、偶数階調期間  $P_e$  が奇数階調期間  $P_o$  より短くても特に問題は生じないことに注意されたい。

#### 【0056】

尚、本実施形態は、64 レベルの階調電圧  $V_1$  乃至  $V_{64}$  を出力することができる階調電圧出力装置 6 を取り上げて説明されている。しかしながら、本発明は、64 レベルの階調電圧  $V_1$  乃至  $V_{64}$  を出力することができる階調電圧出力装置に限られることは無く、例えば、512 レベルの階調電圧  $V_1$  乃至  $V_{512}$  を出力することができる階調電圧出力装置にも適用できることに注意されたい。

#### 【0057】

##### [第2実施形態]

図4は、本発明の第2実施形態の階調電圧出力装置 6 を示す概略構成図である。

#### 【0058】

図4に示す階調電圧出力装置 6 について、図2に示す階調電圧出力装置 6 との相違点を中心に説明する。

#### 【0059】

図4に示す階調電圧出力装置 6 は、64 レベルの階調電圧  $V_1$  乃至  $V_{64}$  を発生することができる階調電圧群出力手段 700 を備えている。図2に示す階調電圧群出力手段 600 は32個の階調電圧群出力部 Out 1 乃至 Out 32 を有していたが、図4に示す階調電圧群出力手段 700 は4個の階調電圧群出力部 Out 1 乃至 Out 4 を有していることに注意されたい。

#### 【0060】

図4に示す階調電圧群出力手段 700 は基準電圧群出力段 701 を有している

。この基準電圧群出力段 701 は 9 個の基準電圧群出力部 OutA 乃至 OutI を有している。更に、この基準電圧群出力段 701 は電源回路 70 と、直列接続された抵抗 R1 乃至 R8 を有する抵抗チェーン 71 とを備えている。この電源回路 70 と抵抗チェーン 71 とにより発生した電圧が、基準電圧群出力段 701 の基準電圧群出力部 OutA 乃至 OutI から出力される。

#### 【0061】

図 5 は、図 4 に示す基準電圧群出力段 701 の個の基準電圧群出力部 OutA 乃至 OutI が出力する基準電圧群 G<sub>a</sub> 乃至 G<sub>i</sub> を示すグラフである。図 5 には、フレーム期間 F において、ソースバスの 1 つの選択期間 P<sub>s</sub> に対応する基準電圧群出力期間 P<sub>rv</sub> に、基準電圧群出力部 OutA 乃至 OutI が出力する電圧群の電圧波形が概略的に示されている。尚、図 5 では、説明の便宜上、これらの電圧群の電圧値は、図 1 に示す表示部 2 の共通電極（図示せず）に供給される電圧値との差の絶対値で示してあることに注意されたい。

#### 【0062】

電源回路 70（図 4 参照）は、階調電圧 V<sub>1</sub> と V<sub>2</sub> とを有する基準電圧群 G<sub>a</sub> と、階調電圧には使用されない非階調電圧 V<sub>a</sub> と V<sub>b</sub> とを有する基準電圧群 G<sub>i</sub> とを発生する。非階調電圧 V<sub>a</sub> 及び V<sub>b</sub> は階調電圧として使用される電圧ではなく、基準電圧群出力段 701 の 8 個の基準電圧群出力部 OutA 乃至 OutH から出力することができない階調電圧を後段の抵抗チェーン 73 で発生させるために使用される電圧であることに注意されたい。

#### 【0063】

基準電圧群 G<sub>a</sub> は、基準電圧群出力期間 P<sub>rv</sub> に基準電圧群出力段 701 の出力部 OutA から出力され、一方、基準電圧群 G<sub>i</sub> は、基準電圧群出力期間 P<sub>rv</sub> に基準電圧群出力段 701 の出力部 OutI から出力される。基準電圧群出力期間 P<sub>rv</sub> は、基準奇数階調期間 P<sub>ro</sub> と基準偶数階調期間 P<sub>re</sub> とに分けられている。基準電圧群 G<sub>a</sub> の階調電圧 V<sub>1</sub> は基準奇数階調期間 P<sub>ro</sub> に出力され、一方、階調電圧 V<sub>2</sub> は基準偶数階調期間 P<sub>ro</sub> に出力される。更に、基準電圧群 G<sub>i</sub> の非階調電圧 V<sub>a</sub> は基準奇数階調期間 P<sub>ro</sub> に出力され、一方、非階調電圧 V<sub>b</sub> は基準偶数階調期間 P<sub>ro</sub> に出力される。階調電圧 V<sub>2</sub> は階調電圧 V<sub>1</sub> より ΔV だけ

小さい値に設定され、非階調電圧  $V_b$  も非階調電圧  $V_a$  より  $\Delta V$  だけ小さい値に設定されている。

#### 【0064】

また、電源回路 70 が発生した基準電圧群  $G_a$  及び基準電圧群  $G_i$  は、基準電圧群出力段 701 の基準電圧群出力部 OutA 及び OutI から出力されるとともに、抵抗チェーン 71 の両端に印加される。この抵抗チェーン 71 に基準電圧群  $G_a$  と基準電圧群  $G_i$  とが印加されることによって、この抵抗チェーン 71 が基準電圧群  $G_b$  乃至  $G_h$  を発生する。この発生した基準電圧群  $G_b$  乃至  $G_h$  は、基準電圧群出力段 701 の出力部 OutB 乃至 OutH から出力される。従って、基準電圧群出力段 701 は、基準電圧群出力部 OutA 乃至 OutI から基準電圧群  $G_a$  乃至  $G_i$  を出力することができる。基準奇数階調期間  $P_{ro}$  では、抵抗チェーン 71 の両端に階調電圧  $V_1$  及び非階調電圧  $V_a$  が印加され、この結果、抵抗チェーン 71 は階調電圧  $V_1$  と非階調電圧  $V_a$  との間の階調電圧  $V_9$ 、 $V_{17}$ 、 $V_{25}$ 、 $V_{33}$ 、 $V_{41}$ 、 $V_{49}$  及び  $V_{57}$  を発生する。従って、基準電圧群出力段 701 の 8 個の基準電圧群出力部 OutA 乃至 OutH から、奇数レベルの 8 個の階調電圧  $V_1$ 、 $V_9$ 、 $V_{17}$ 、 $V_{25}$ 、 $V_{33}$ 、 $V_{41}$ 、 $V_{49}$  及び  $V_{57}$  が出力され、基準電圧群出力部 OutI から、非階調電圧  $V_a$  が出力される。

#### 【0065】

一方、基準偶数階調期間  $P_{re}$  では、抵抗チェーン 71 の両端に階調電圧  $V_2$  及び非階調電圧  $V_b$  が印加され、この結果、抵抗チェーン 71 は、階調電圧  $V_2$  と非階調電圧  $V_b$  との間の階調電圧  $V_{10}$ 、 $V_{18}$ 、 $V_{26}$ 、 $V_{34}$ 、 $V_{42}$ 、 $V_{50}$  及び  $V_{58}$  を発生する。従って、基準電圧群出力段 701 の 8 個の基準電圧群出力部 OutA 乃至 OutH から、偶数レベルの 8 個の階調電圧  $V_2$ 、 $V_{10}$ 、 $V_{18}$ 、 $V_{26}$ 、 $V_{34}$ 、 $V_{42}$ 、 $V_{50}$  及び  $V_{58}$  が出力され、基準電圧群出力部 OutI から、非階調電圧  $V_b$  が出力される。

#### 【0066】

上述したように、出力部 OutA から基準偶数階調期間  $P_{re}$  に出力される階調電圧  $V_2$  は基準奇数階調期間  $P_{ro}$  に出力される階調電圧  $V_1$  より  $\Delta V$  だけ小さい値に設定され、出力部 OutI から基準偶数階調期間  $P_{re}$  に出力される非階調電圧



V<sub>b</sub>も基準奇数階調期間P<sub>ro</sub>に出力される非階調電圧V<sub>a</sub>より $\Delta V$ だけ小さい値に設定されている。従って、その他の出力部Out<sub>B</sub>乃至Out<sub>H</sub>から基準偶数階調期間P<sub>re</sub>に出力される階調電圧も、奇数階調期間P<sub>ro</sub>に出力される階調電圧より $\Delta V$ だけ小さい値となる。

#### 【0067】

基準電圧群出力段701は、基準奇数階調期間P<sub>ro</sub>に、奇数レベルの8個の階調電圧V<sub>8n-7</sub> (n=1乃至8の整数) と非階調電圧V<sub>a</sub>とを出力し、更に、基準偶数階調期間P<sub>re</sub>に、偶数レベルの8個の階調電圧V<sub>8n-6</sub> (n=1乃至8の整数) と非階調電圧V<sub>b</sub>とを出力する。非階調電圧V<sub>a</sub>及びV<sub>b</sub>は階調電圧として使用されない電圧であるため、基準電圧群出力段701は、64個の階調電圧V<sub>1</sub>乃至V<sub>64</sub>のうち、16個の階調電圧V<sub>8n-7</sub>及びV<sub>8n-6</sub> (n=1乃至8の整数) を出力する。図4に示す階調電圧群出力手段700は、残りの48個の階調電圧を発生できるようにするために、更に以下のような構成を有する。

#### 【0068】

階調電圧群出力手段700はセレクタ72を有している。このセレクタ72 (本発明にいう基準電圧群選択段に相当する) は、基準電圧群出力段701の9個の基準電圧群出力部Out<sub>A</sub>乃至Out<sub>I</sub>に対応して、9個の基準電圧群入力部In<sub>A</sub>乃至In<sub>I</sub>を備えている。基準電圧群出力段701の基準電圧群出力部Out<sub>A</sub>乃至Out<sub>I</sub>から出力された電圧群は、セレクタ72の対応する基準電圧群入力部In<sub>A</sub>乃至In<sub>I</sub>に入力される。また、このセレクタ72には、画像信号S<sub>i</sub>を構成する6ビットのうち、最上位ビットMSBを含む上位3ビットTHB (Three Highest Bits) を表す上位ビット信号S<sub>t</sub>が入力される。セレクタ72は、基準電圧群入力部In<sub>A</sub>乃至In<sub>I</sub>のうち、上位ビット信号S<sub>t</sub>が表す上位3ビットのビットパターンに対応する隣接する2つの入力部のペアを選択し、この選択した2つの入力部のペアに入力された電圧群を、出力部Out <sub>$\alpha$</sub> 及びOut <sub>$\beta$</sub> から電圧群G <sub>$\alpha$</sub> 及びG <sub>$\beta$</sub> として出力する。このセレクタ72は、9個の基準電圧群入力部In<sub>A</sub>乃至In<sub>I</sub>を有しているため、隣接する2つの入力部は、全部で8通り (In<sub>A</sub>, In<sub>B</sub>)、(In<sub>B</sub>, In<sub>C</sub>)、…、(In<sub>G</sub>, In<sub>H</sub>) 及び (In<sub>H</sub>及びIn<sub>I</sub>) 存在する。上位ビット信号S<sub>t</sub>は $2^3=8$ 通りのビットパターンを取り得るため、セレクタ72は、上位ビット信号S<sub>t</sub>が表す



上位3ビットのビットパターンに応じて、8通りの隣接する2つの入力部のペアの各々を選択することができる。従って、画像信号の6ビットのうちの上位3ビットのビットパターンに変更が無ければ、セレクタ72は同じ入力部のペアを選択する。例えば、上位ビット信号Stのビットパターンが‘000’であれば、セレクタ72は入力部InAとInBとを選択し、この結果、セレクタ72は基準電圧群Gaを電圧群G $\alpha$ として出力するとともに、基準電圧群Gbを電圧群G $\beta$ として出力する。また、上位ビット信号Stのビットパターンが‘111’であれば、セレクタ72は入力部InHとInIとを選択し、この結果、セレクタ72は基準電圧群Ghを電圧群G $\alpha$ として出力し、基準電圧群Giを電圧群G $\beta$ として出力する。

#### 【0069】

また、階調電圧群出力手段700は抵抗チェーン73を有している。セレクタ72が出力した電圧群G $\alpha$ 及びG $\beta$ はこの抵抗チェーン73の両端に印加され、この結果、抵抗分割によって抵抗チェーン73は階調電圧群G2、G3及びG4を発生する。これら階調電圧群G2、G3及びG4はそれぞれ階調電圧群出力部Out2、Out3及びOut4から出力される。また、セレクタ72が出力した電圧群G $\alpha$ 及びG $\beta$ のうち電圧群G $\alpha$ は、階調電圧群出力部Out1から階調電圧群G1として出力される。従って、階調電圧群出力手段700は、4つの階調電圧群出力部Out1乃至Out4から階調電圧群G1乃至G4を出力する。階調電圧群G1乃至G4の電圧値は、セレクタ72がどの2つの入力部のペアを選択するかによって変化する。

#### 【0070】

図6は、階調電圧群出力手段700の4つの出力部Out1乃至Out4それぞれから出力される階調電圧群の一例を示すグラフである。図6には、セレクタ72が2つの基準電圧群入力部InH及びInIを選択した場合に、フレーム期間Fの階調電圧群出力期間Pvに出力部Out1乃至Out4から出力される階調電圧群G1乃至G4の電圧波形が概略的に示されている。尚、図6では、説明の便宜上、これらの階調電圧群G1乃至G4の電圧値は、表示部2の共通電極（図示せず）に供給される電圧値との差の絶対値で示してあることに注意されたい。

## 【0071】

セレクタ 72 が 2 つの基準電圧群入力部 InH 及び InI を選択すると、セレクタ 72 は、入力部 InH に入力した基準電圧群  $G_h$  を出力部  $G_\alpha$  から電圧群  $G_\alpha$  として出力するとともに、入力部 InI に入力した基準電圧群  $G_i$  を出力部  $G_\beta$  から電圧群  $G_\beta$  として出力する。電圧群  $G_\alpha$  ( $= G_h$ ) は、階調電圧群出力期間  $P_v$  に、階調電圧群出力手段 700 の出力部 Out 1 から階調電圧群  $G_1$  として出力される。階調電圧群出力期間  $P_v$  は、奇数階調期間  $P_o$  (本発明にいう第 1 の階調電圧出力期間に相当する) と偶数階調期間  $P_e$  (本発明にいう第 2 の階調電圧出力期間に相当する) とに分けられている。階調電圧群  $G_1$  ( $= G_h$ ) の階調電圧  $V_{57}$  は奇数階調期間  $P_o$  に出力され、一方、階調電圧  $V_{58}$  は偶数階調期間  $P_e$  に出力される。

## 【0072】

また、セレクタ 72 から出力された電圧群  $G_\alpha$  ( $= G_h$ ) 及び  $G_\beta$  ( $= G_i$ ) は抵抗チェーン 73 の両端に印加される。この抵抗チェーン 73 に電圧群  $G_\alpha$  ( $= G_h$ ) と  $G_\beta$  ( $= G_i$ ) とが印加されることによって、この抵抗チェーン 73 が階調電圧群  $G_2$  乃至  $G_4$  を発生する。この発生した階調電圧群  $G_2$  乃至  $G_4$  は、階調電圧群出力手段 700 の出力部 Out 2 乃至 Out 4 から出力される。従って、階調電圧群出力手段 700 は、4 つの階調電圧群出力部 Out 1 乃至 Out 4 から、階調電圧出力期間  $P_v$  に階調電圧群  $G_1$  乃至  $G_4$  を出力することができる。奇数階調期間  $P_o$  では、抵抗チェーン 73 の両端に階調電圧  $V_{57}$  及び非階調電圧  $V_a$  が印加され、この結果、抵抗チェーン 73 は階調電圧  $V_{57}$  と非階調電圧  $V_a$  との間の階調電圧  $V_{59}$ 、 $V_{61}$  及び  $V_{63}$  を発生する (ここで、非階調電圧  $V_a$  は、階調電圧群出力手段 700 から階調電圧  $V_{59}$ 、 $V_{61}$  及び  $V_{63}$  が出力されるような値に設定されていることに注意されたい)。従って、奇数階調期間  $P_o$  には、階調電圧群出力手段 700 の出力部 Out 1 乃至 Out 4 から、奇数レベルの 4 個の階調電圧  $V_{57}$ 、 $V_{59}$ 、 $V_{61}$  及び  $V_{63}$  が出力される。

## 【0073】

一方、偶数階調期間  $P_e$  では、抵抗チェーン 73 の両端に階調電圧  $V_{58}$  及び  $V_b$  が印加され、この結果、抵抗チェーン 73 は、階調電圧  $V_{58}$  と非階調電圧

Vb との間の階調電圧 V60、V62 及び V64 を発生する（ここで、非階調電圧 Vb は、階調電圧群出力手段 700 から階調電圧 V60、V62 及び V64 が出力されるような値に設定されていることに注意されたい）。従って、階調電圧群出力手段 700 の出力部 Out1 乃至 Out4 から、偶数レベルの 4 種類の階調電圧 V58、V60、V62 及び V64 が出力される。

#### 【0074】

セレクタ 72 の出力部 Out $\alpha$  から出力される階調電圧 V58 は階調電圧 V57 より  $\Delta V$  だけ小さい値に設定され（図 5 参照）、出力部 Out $\beta$  から出力される非階調電圧 Vb も非階調電圧 Va より  $\Delta V$  だけ小さい値に設定されている。従って、階調電圧群出力手段 700 の 4 つの出力部 Out1 乃至 Out4 が偶数階調期間 Pe に出力する階調電圧 V58、V60、V62 及び V64 は、奇数階調期間 Po に出力する階調電圧 V57、V59、V61 及び V63 より  $\Delta V$  だけ小さい値となる。

#### 【0075】

以上説明したようにして、階調電圧群出力手段 700 は、8 個の階調電圧 V57 乃至 V64 を出力することができる。

#### 【0076】

上記の例では、セレクタ 72 が入力部 InH 及び InI のペアを選択した場合について説明した。しかしながら、セレクタ 72 が、別の出力部のペアを選択した場合も同様に説明することができる。例えば、セレクタ 72 が、入力部 InA 及び InB のペアを選択した場合、セレクタ 72 は出力部 Out $\alpha$  から基準電圧群 Ga（階調電圧 V1 及び V2）を出力し、出力部 Out $\beta$  から基準電圧群 Gb（階調電圧 V9 及び V10）を出力する。この場合、出力部 Out $\alpha$  から出力された基準電圧群 Ga（階調電圧 V1 及び V2）は階調電圧群出力手段 700 の出力部 Out1 から出力されるが、一方、出力部 Out $\beta$  から出力された基準電圧群 Gb（階調電圧 V9 及び V10）は、階調電圧群出力手段 700 の 4 つの出力部 Out1 乃至 Out4 からは出力されない。しかしながら、基準電圧群 Ga（階調電圧 V1 及び V2）及び基準電圧群 Gb（階調電圧 V9 及び V10）が抵抗チェーン 73 の両端に印加されることによって、階調電圧群出力手段 700 の 4 つの出力部 Out1 乃至 Out4 から

8個の階調電圧V1乃至V8を出力することができる。また、セクタ72が、入力部InB及びInCのペアを選択した場合、セクタ72は出力部Out $\alpha$ から基準電圧群G $\beta$ （階調電圧V9及びV10）を出力し、出力部Out $\beta$ から基準電圧群G $\gamma$ （階調電圧V17及びV18）を出力する。この場合、出力部Out $\beta$ から出力された基準電圧群G $\gamma$ （階調電圧V17及びV18）は、階調電圧群出力手段700の4つの出力部Out1乃至Out4からは出力されない。しかしながら、基準電圧群G $\beta$ （階調電圧V9及びV10）及び基準電圧群G $\gamma$ （階調電圧V17及びV18）が抵抗チェーン73の両端に印加されることによって、階調電圧群出力手段700の4つの出力部Out1乃至Out4から8個の階調電圧V9乃至V16を出力することができる。従って、セクタ72が、選択する2つの入力部のペアを変更することによって、階調電圧群出力手段700は、全ての階調電圧V1乃至V64を出力することが可能である。

#### 【0077】

階調電圧群出力手段700が出力した階調電圧は、セクタ74に入力される。このセクタ74（本発明にいう階調電圧群選択手段に相当する）は、階調電圧群出力手段700の4個の出力部Out1乃至Out4に対応して、4個の階調電圧群入力部In1乃至In4を備えている。階調電圧群出力手段700の4個の出力部Out1乃至Out4から出力された階調電圧群G1乃至G4は、セクタ74の対応する入力部In1乃至In4に入力される。また、このセクタ62には、画像信号Siを構成する6ビットのうち、中間位2ビットTIB（Two Immediate Bits）を表す中間位ビット信号Stibが入力される。セクタ74は、4個の入力部In1乃至In4のうち、中間位ビット信号Stibが表す中間位2ビットのビットパターンに対応する1つの入力部を選択し、この選択した入力部に入力された階調電圧群を出力する。中間位ビット信号Stibは $2^2 = 4$ 通りのビットパターンを取り得るため、セクタ74は、中間位ビット信号Stibが表す中間位2ビットのビットパターンに応じて、4個の入力部In1乃至In4の各々を選択することができる。従って、画像信号の6ビットのうちの中位2ビットのビットパターンに変更が無ければ、セクタ74は同じ入力部を選択する。

#### 【0078】

また、階調電圧出力装置 6 は、セレクタ 74 と映像ライン 5 とが接続されるか否かを切り替えるスイッチ 75（本発明にいう階調電圧選択手段に相当する）を備えている。このスイッチ 75 の開閉は、画像信号  $S_i$  の 6 ビットのうち、最下位ビット  $LSB$  を表す最下位ビット信号  $S_{lsb}$  によって制御される。最下位ビットが“1”の場合、スイッチ 75 は、各階調電圧群出力期間  $P_v$  を通じて閉じた状態である。一方、最下位ビットが“0”の場合、スイッチ 75 は、各階調電圧群出力期間  $P_v$  のうち奇数階調期間  $P_o$  は閉じた状態であるが、偶数階調期間  $P_e$  は開いた状態になる。

#### 【0079】

以上説明したようにして、階調電圧出力装置 6 が構成される。

#### 【0080】

以下、この階調電圧出力装置 6 の動作を具体的に説明する。この動作の説明にあたっては、（1）表示部 2 に画像信号  $S_i$  “111110” が表す画像を表示する場合、及び（2）表示部 2 に画像信号  $S_i$  “111111” が表す画像を表示する場合の階調電圧出力装置 6 の動作を取り上げて説明する。

#### 【0081】

（1）表示部 2 に画像信号  $S_i$  “111110” が表す画像を表示する場合

この場合、階調電圧出力装置 6 に“111110”の画像信号  $S_i$  が入力される。この入力された画像信号“111110”の上位 3 ビット“111”を表す上位ビット信号  $S_t$  がセレクタ 72 に入力される。

#### 【0082】

セレクタ 72 に入力された信号  $S_t$  は“111”であるので、セレクタ 72 は、基準電圧群入力部  $InA$  乃至  $InI$  のうち、“111”のビットパターンに対応した 2 つの入力部  $InH$  及び  $InI$  のペアを選択する。従って、セレクタ 72 は、入力部  $InH$  に入力された基準電圧群  $G_h$  を出力部  $Out\alpha$  から出力し、一方、入力部  $InI$  に入力された基準電圧群  $G_i$  を出力部  $Out\beta$  から出力する。基準電圧群  $G_h$  は、図 5 に示すように、基準奇数階調期間  $P_{ro}$  において階調電圧  $V_{57}$ 、基準偶数階調期間  $P_{re}$  において階調電圧  $V_{58}$  であるため、セレクタ 72 は、基準奇数階調期間  $P_{ro}$  において階調電圧  $V_{57}$  を出力し、基準偶数階調期間  $P_{re}$  において



階調電圧  $V_{58}$  を出力する。また、基準電圧群  $G_i$  は、図 5 に示すように、基準奇数階調期間  $P_{ro}$  において非階調電圧  $V_a$ 、基準偶数階調期間  $P_{re}$  において非階調電圧  $V_b$  であるため、セレクタ 73 は、基準奇数階調期間  $P_{ro}$  において非階調電圧  $V_a$  を出力し、基準偶数階調期間  $P_{re}$  において非階調電圧  $V_b$  を出力する。

#### 【0083】

セレクタ 72 は、出力部  $Out_\alpha$  から基準電圧群  $G_h$  (階調電圧  $V_{57}$  及び  $V_{58}$ ) を出力し、一方、出力部  $Out_\beta$  から基準電圧群  $G_i$  (非階調電圧  $V_a$  及び  $V_b$ ) を出力する。従って、階調電圧群出力手段 700 の 4 つの出力部  $Out_1$  乃至  $Out_4$  は、図 6 を参照しながら説明したように階調電圧群  $G_1$  (階調電圧  $V_{57}$  及び  $V_{58}$ )、階調電圧群  $G_2$  (階調電圧  $V_{59}$  及び  $V_{60}$ )、階調電圧群  $G_3$  (階調電圧  $V_{61}$  及び  $V_{62}$ ) 及び階調電圧群  $G_4$  (階調電圧  $V_{63}$  及び  $V_{64}$ ) を出力する。

#### 【0084】

階調電圧群出力手段 700 の出力部  $Out_1$  乃至  $Out_4$  から出力された階調電圧群  $G_1$  乃至  $G_4$  は、セレクタ 74 に入力される。また、階調電圧出力装置 6 に供給された画像信号  $S_i$  のビットパターンは “111110” であるため、セレクタ 74 に入力される中間位ビット信号  $Stib$  は “11” である。中間位ビット信号  $Stib$  が “11” の場合、セレクタ 74 は、4 個の入力部  $In_1$  乃至  $In_4$  のうち、“11” のビットパターンに対応した入力部  $In_4$  を選択する。従って、セレクタ 74 は、選択された入力部  $In_4$  に入力された階調電圧群  $G_4$  をスイッチ 75 に出力する。階調電圧群  $G_4$  は、図 6 に示すように、階調電圧  $V_{63}$  及び  $V_{64}$  であるため、セレクタ 74 は、奇数階調期間  $P_o$  において階調電圧  $V_{63}$  をスイッチ 75 に出力し、一方、偶数階調期間  $P_e$  において階調電圧  $V_{64}$  をスイッチ 75 に出力する。

#### 【0085】

また、階調電圧出力装置 6 に供給される画像信号のビットパターンは “111110” であるため、スイッチ 75 に入力される最下位ビット信号  $S_{lsb}$  は “0” である。従って、スイッチ 75 は、奇数階調期間  $P_o$  は閉じた状態であるが、



偶数階調期間  $P_e$  は開いた状態になる。この結果、奇数階調期間  $P_o$  にセクタ 74 が出力した階調電圧  $V_{63}$  は映像ライン 5 に供給されるが、一方、偶数階調期間  $P_e$  にセクタ 74 が出力した階調電圧  $V_{64}$  は、スイッチ 75 が開いているため映像ライン 5 には供給されない。従って、画像信号  $S_i$  が “111110” の場合、セクタ 74 は階調電圧  $V_{63}$  と  $V_{64}$  との両方を出力するが、映像ライン 5 には階調電圧  $V_{63}$  のみが供給される。この映像ライン 5 に供給された階調電圧  $V_{63}$  は、ソースドライバ 4 を経由して選択期間  $P_s$  の間にソースバス  $B_s$  に供給される。図 6 を参照しながら説明したように、階調電圧  $V_{63}$  は、選択期間  $P_s$  に対応する階調電圧群出力期間  $P_v$  の奇数階調期間  $P_o$  に、階調電圧群出力手段 700 から出力される。従って、階調電圧  $V_{63}$  は、ソースバス  $B_s$  の選択期間  $P_s$  の間にソースバス  $B_s$  に供給される。このソースバス  $B_s$  に供給された階調電圧  $V_{63}$  は、ゲートバス  $B_g$  により選択されている表示部 2 の画素に供給される。従って、表示部 2 に、画像信号 “111110” が表す画像を表示することができる。

#### 【0086】

(2) 表示部 2 に画像信号  $S_i$  “111111” が表す画像を表示する場合

この場合、階調電圧出力装置 6 に “111111” の画像信号  $S_i$  が入力される。画像信号 “111111” の上位ビット信号  $S_t$  は、先に説明した画像信号 “111110” の上位ビット信号  $S_t$  と同一のビットパターン “111” を有する。従って、階調電圧群出力手段 700 の 4 つの出力部  $Out_1$  乃至  $Out_4$  は、図 6 を参照しながら説明したように階調電圧群  $G_1$  (階調電圧  $V_{57}$  及び  $V_{58}$ )、階調電圧群  $G_2$  (階調電圧  $V_{59}$  及び  $V_{60}$ )、階調電圧群  $G_3$  (階調電圧  $V_{61}$  及び  $V_{62}$ ) 及び階調電圧群  $G_4$  (階調電圧  $V_{63}$  及び  $V_{64}$ ) を出力する。

#### 【0087】

階調電圧群出力手段 700 の出力部  $Out_1$  乃至  $Out_4$  から出力された階調電圧群  $G_1$  乃至  $G_4$  は、セクタ 74 に入力される。また、セクタ 74 に供給される中間位ビット信号  $S_{tib}$  は、先に説明した画像信号 “111110” の中間位ビット信号  $S_{tib}$  と同一のビットパターン “11” を有する。従って、セクタ 7

4 は、奇数階調期間  $P_o$  において階調電圧  $V_{63}$  をスイッチ 75 に出力し、一方、偶数階調期間  $P_e$  において階調電圧  $V_{64}$  をスイッチ 75 に出力する。

#### 【0088】

ここで、階調電圧出力装置 6 に供給される画像信号のビットパターンは “11111” であるため、スイッチ 75 に供給される最下位ビット信号  $S_{lsb}$  は “1” であることに注意されたい。この場合、スイッチ 75 は、奇数階調期間  $P_o$  だけでなく偶数階調期間  $P_e$  も閉じた状態になる。従って、階調電圧  $V_{63}$  が映像ライン 5 に供給された後、階調電圧  $V_{64}$  も映像ライン 5 に供給される。この映像ライン 5 に供給された階調電圧  $V_{63}$  及び  $V_{64}$  は、ソースドライバ 4 を経由して選択期間  $P_s$  の間にソースバス  $B_s$  に供給される。図 6 を参照しながら説明したように、これら階調電圧  $V_{63}$  及び  $V_{64}$  は、選択期間  $P_s$  に対応する階調電圧群出力期間  $P_v$  に、階調電圧群出力手段 700 から出力される。従って、ソースバス  $B_s$  の選択期間  $P_s$  の間に、階調電圧  $V_{63}$  と  $V_{64}$  との両方がソースバス  $B_s$  に供給される。このソースバス  $B_s$  に供給された階調電圧  $V_{63}$  及び  $V_{64}$  は、ゲートバス  $B_g$  により選択されている表示部 2 の画素に供給される。この画素には、階調電圧  $V_{63}$  及び  $V_{64}$  のうち、最初に階調電圧  $V_{63}$  が供給されるが、続いて階調電圧  $V_{64}$  が供給される。従って、表示部 2 に画像信号 “111111” が表す画像を表示することができる。

#### 【0089】

上記の説明では、表示部 2 に画像信号  $S_i$  “111110” 及び “111111” が表す画像を表示する場合について記載したが、他のビットパターンを有する画像信号についても、同様に説明することができる。

#### 【0090】

このような階調電圧出力装置 6 では、基準電圧群出力段 701 は 9 個の基準電圧群出力部  $OutA$  乃至  $OutI$  の各々から 2 つの階調電圧（又は 2 つの非階調電圧）を出力することによって、合計 18 個の基準電圧（階調電圧及び非階調電圧）を発生させている。つまり、基準電圧群出力段 701 に必要な出力部の数は、出力すべき基準電圧の数の半分で済む。従って、基準電圧群出力段 701 の小型化が図られる。

## 【0091】

また、基準電圧群出力段 701 に必要な出力部の数を半分にすることができるため、これに応じて、セレクトア 72、抵抗チェーン 73 及びセレクトア 74 の小型化も図られる。特に、セレクトア 72 は、基準電圧群出力段 701 が出力した電圧を選択するのに必要なスイッチの数を半分にすることができ、セレクトア 74 は、階調電圧群出力手段 700 が出力した電圧を選択するのに必要なスイッチの数を半分にすることができるため、大幅な小型化が図られる。

## 【0092】

また、第 2 実施形態では、セレクトア 72 の出力部 Out  $\alpha$  から出力される基準電圧群  $G_\alpha$  は、階調電圧群  $G_1$  として使用される。このように、基準電圧群が階調電圧群を兼ねることによって、階調電圧群出力手段 700 を更に小型にすることができる。

## 【0093】

これまで、2つの階調電圧出力装置 6（図 2 及び図 4 参照）の動作について記載したが、以下に、図 1 に示す液晶表示装置 1 が表示部 2 に表示する画像の品質について考察する。

## 【0094】

64 個の階調電圧  $V_1$  乃至  $V_{64}$  それぞれを表示部 2 に供給すると、表示部 2 の透過率  $T$  は各階調電圧に対応した透過率  $T$  を示す。この透過率  $T$  の値は、表示部 2 が表示する画像の品質に影響を与える。表示部 2 が良好な品質を有する画像を表示できるようにするためには、64 個の階調電圧  $V_1$  乃至  $V_{64}$  それぞれを表示部 2 に供給したときに、表示部 2 の透過率が最良の品質を有する画像を表示することができる透過率（以下、「理想透過率」と呼ぶ）にできるだけ近い値を有することが重要である。理想透過率は、64 個の階調電圧  $V_1$  乃至  $V_{64}$  それぞれによって異なるため、表示部 2 が良好な品質を有する画像を表示できるようにするには、64 個の階調電圧  $V_1$  乃至  $V_{64}$  の各々を、理想透過率が得られるような階調電圧（以下、「理想階調電圧」という）にできるだけ近づければよい。例えば、図 2 に示す階調電圧出力装置 6 の場合、階調電圧  $V_1$  乃至  $V_{64}$  の値は抵抗チェーン 61 の抵抗  $R_1$  乃至  $R_{31}$  の値に依存するので、抵抗チェーン 6

1 の抵抗値  $R_1$  乃至  $R_{31}$  を調整することによって、64 個の階調電圧  $V_1$  乃至  $V_{64}$  の各々を理想階調電圧に近づけることが可能である。しかしながら、図 3 に示す階調電圧出力装置 6 の場合、奇数レベルの階調電圧  $V_{2n-1}$  と偶数レベルの階調電圧  $V_{2n}$  とは、同時に発生するものではない。従って、奇数レベルの階調電圧  $V_{2n-1}$  が理想階調電圧に一致するように抵抗チェーン 61 の抵抗  $R_1$  乃至  $R_{31}$  の値を設定すると、偶数レベルの階調電圧  $V_{2n}$  が理想階調電圧からずれる。このずれが生じる理由について、図 7 を参照しながら具体的に説明する。

【0095】

図 7 は、表示部 2 の  $V-T$  特性を表す  $V-T$  曲線 C を示す図である。

【0096】

32 個の奇数レベルの階調電圧  $V_{2n-1}$  が理想階調電圧に一致するように抵抗チェーン 61 の抵抗  $R_1$  乃至  $R_{31}$  の値を設定した場合、表示部 2 に階調電圧  $V_{2n-1}$  が供給されたときの透過率  $T$  は理想透過率に一致する（図 7 には、奇数レベルの階調電圧  $V_{2n-1}$  のうち、代表して階調電圧  $V_1$ 、 $V_3$ 、 $V_{31}$ 、 $V_{33}$  及び  $V_{63}$  が具体的に図示されている）。階調電圧群出力手段 600 は、奇数レベルの階調電圧  $V_{2n-1}$  を出力した後、この階調電圧  $V_{2n-1}$  を  $\Delta V$  だけ変化させて偶数レベルの階調電圧  $V_{2n}$  を出力している（図 3 参照）。図 7 には、偶数レベルの階調電圧  $V_{2n}$  のうち、代表して階調電圧  $V_2$ 、 $V_{32}$  及び  $V_{64}$  が具体的に図示されている。この  $\Delta V$  の値を、例えば、階調電圧  $V_{32}$  が理想階調電圧に一致するように選択した場合、 $V-T$  曲線 C が線形性を示す領域  $R_1$  では、階調電圧  $V_{2n}$  は、理想階調電圧にほぼ一致する。しかしながら、 $V-T$  曲線 C が非線形性を示す領域  $R_2$  では、階調電圧  $V_{2n}$  と理想階調電圧とのずれが大きくなる。例えば、階調電圧  $V_2$  の理想階調電圧  $V_{2i}$  は、図 7 に示すように、階調電圧  $V_1$  と  $V_3$  との間のやや階調電圧  $V_3$  寄りに存在するのであるが、階調電圧群出力手段 600 が実際に出力する階調電圧  $V_2$  は階調電圧  $V_1$  寄りに存在し、理想階調電圧  $V_{2i}$  に一致させることができない。また、階調電圧  $V_{64}$  の理想階調電圧  $V_{64i}$  は、図 7 に示すように、透過率  $T$  が 100% となる位置に存在するのであるが、階調電圧群出力手段 600 が実際に出力する階調電圧  $V_2$  は、階調電圧  $V_{63}$  寄りに存在し、理想階調電圧  $V_{64i}$  に一致させることができない。

## 【0 0 9 7】

図 7 には、奇数レベルの階調電圧  $V_{2n-1}$  が理想階調電圧に一致するように抵抗チェーン 6 1 の抵抗  $R_1$  乃至  $R_{31}$  の値が設定された場合について説明したが、偶数レベルの階調電圧  $V_{2n}$  が理想階調電圧に一致するように抵抗チェーン 6 1 の抵抗  $R_1$  乃至  $R_{31}$  の値が設定された場合も同様に説明できる。

## 【0 0 9 8】

このように、図 2 に示す階調電圧出力装置 6 は、非線形性領域  $R_2$  において階調電圧を理想階調電圧に近づけることは難しい。そこで、表示部 2 で表示される画像の品質をより良好にしたい場合は、以下に説明するような階調電圧出力装置 6 を使用することもできる。

## 【0 0 9 9】

## [第 3 実施形態]

図 8 は、本発明の第 3 実施形態の階調電圧出力装置 6 の概略構成図である。

## 【0 1 0 0】

この階調電圧出力装置 6 は、連続する 4 つのフレーム期間を使って一つの画像を表示する FRC（フレームレートコントロール）方式が採用される画像表示装置に使用できる。

## 【0 1 0 1】

この階調電圧出力装置 6 は、64 レベルの階調電圧  $V_1$  乃至  $V_{64}$  を発生することができる階調電圧群出力手段 8 0 0 を備えている。この階調電圧群出力手段 8 0 0 は、32 個の階調電圧群出力部  $Out_1$  乃至  $Out_{32}$  と、理想階調電圧  $V_{64i}$ （図 7 参照）に対応した画像を表示させるために追加された 1 個の電圧出力部  $Out_{ADD}$ （本発明にいう追加電圧出力手段に相当する）とを有している。更に、この階調電圧群出力手段 8 0 0 は電源回路 8 0 と、直列接続された抵抗  $R_1$  乃至  $R_{32}$  を有する抵抗チェーン 8 1 とを備えている。この電源回路 8 0 と抵抗チェーン 8 1 とにより発生した電圧が、階調電圧群出力手段 8 0 0 の出力部  $Out_1$  乃至  $Out_{32}$  及び  $Out_{ADD}$  から出力される。尚、この電源回路 8 0 と抵抗チェーン 8 1 とを合わせたものが、本発明にいう階調電圧群発生手段に相当する。

## 【0 1 0 2】



図9は、階調電圧群出力手段800の出力部Out1乃至Out32及び出力部OutADDから出力される電圧を示すグラフである。図9には、連続する4つのフレーム期間F1乃至F4において、ソースバスの1つの選択期間Psに対応する階調電圧群出力期間Pvに、出力部Out1乃至Out32及び出力部OutADDから出力される電圧波形が概略的に示されている。尚、図9では、説明の便宜上、出力部Out1乃至Out32及び出力部OutADDから出力される電圧の値は、表示部2の共通電極（図示せず）に供給される電圧の値との差の絶対値で示してあることに注意されたい。

#### 【0103】

電源回路80（図8参照）は、第1の出力部P1から、階調電圧V1及びV2を有する階調電圧群G1と、階調電圧V1及び非階調電圧Vn1を有する混合電圧群Gmix1とを発生する。階調電圧V1及びV2は階調電圧として使用されるものであるが、非階調電圧Vn1は階調電圧として使用されるものではない。

#### 【0104】

この階調電圧群G1及び混合電圧群Gmix1は、いずれも階調電圧群出力手段800の出力部Out1から出力される。しかしながら、階調電圧群G1は、4つの連続するフレーム期間F1乃至F4のうちの前半の2つのフレーム期間F1及びF2の階調電圧群出力期間Pvに出力部Out1から出力される。一方、混合電圧群Gmix1は、4つの連続するフレーム期間F1乃至F4のうちの後半の2つのフレーム期間F3及びF4の階調電圧群出力期間Pvに出力部Out1から出力される。各階調電圧群出力期間Pvは、奇数階調期間Po（本発明にいう第1の階調電圧出力期間に相当する）と偶数階調期間Pe（本発明にいう第2の階調電圧出力期間に相当する）とに分けられている。階調電圧群G1の階調電圧V1は奇数階調期間Poに出力され、階調電圧V2は偶数階調期間Poに出力される。階調電圧V2は階調電圧V1より $\Delta V$ だけ小さい値に設定されている。混合電圧群Gmix1の階調電圧V1は奇数階調期間Poに出力され、非階調電圧Vn1は偶数階調期間Poに出力される。非階調電圧Vn1は階調電圧V1より $\Delta V$ だけ大きい値に設定されている。従って、前半の2つのフレーム期間F1及びF2では、偶数階調期間Peの階調電圧V2は奇数階調期間Poの階調電圧V1より $\Delta$

Vだけ小さいのに対して、後半の2つのフレーム期間F3及びF4では、偶数階調期間P<sub>e</sub>の非階調電圧V<sub>n1</sub>は奇数階調期間P<sub>o</sub>の階調電圧V<sub>1</sub>よりΔVだけ大きいことに注意されたい。

#### 【0105】

更に、電源回路80（図8参照）は、第2の出力部P2から、非階調電圧V<sub>n2</sub>及びV<sub>n3</sub>を有する非階調電圧群G<sub>non</sub>と、非階調電圧V<sub>n2</sub>及び階調電圧V<sub>64'</sub>を有する混合電圧群G<sub>mix2</sub>とを発生する。階調電圧V<sub>64'</sub>（本発明にいう最小階調電圧に相当する）は階調電圧として使用されるものであるが、非階調電圧V<sub>n2</sub>及びV<sub>n3</sub>は階調電圧として使用されるものではない。この階調電圧V<sub>64'</sub>がどのようにして階調電圧として使用されるかについては後に詳述する。

#### 【0106】

この非階調電圧群G<sub>non</sub>及び混合電圧群G<sub>mix2</sub>は、いずれも階調電圧群出力手段800の出力部OutADDから出力される。しかしながら、非階調電圧群G<sub>non</sub>は、4つの連続するフレーム期間F1乃至F4のうちの前半の2つのフレーム期間F1及びF2の階調電圧群出力期間P<sub>v</sub>に、出力部OutADDから出力される。一方、混合電圧群G<sub>mix2</sub>は、4つの連続するフレーム期間F1乃至F4のうちの後半の2つのフレーム期間F3及びF4の階調電圧群出力期間P<sub>v</sub>に、出力部OutADDから出力される。非階調電圧群G<sub>non</sub>の非階調電圧V<sub>n2</sub>は奇数階調期間P<sub>o</sub>に出力され、非階調電圧V<sub>n3</sub>は偶数階調期間P<sub>o</sub>に出力される。非階調電圧V<sub>n3</sub>は非階調電圧V<sub>n2</sub>よりΔVだけ小さい値に設定されている。混合電圧群G<sub>mix2</sub>の非階調電圧V<sub>n2</sub>は奇数階調期間P<sub>o</sub>に出力され、階調電圧V<sub>64'</sub>は偶数階調期間P<sub>o</sub>に出力される。階調電圧V<sub>64'</sub>は非階調電圧V<sub>n2</sub>よりΔVだけ大きい値に設定されている。

#### 【0107】

このように、電源回路80は、前半の2つのフレーム期間F1及びF2では電圧群G1及びG<sub>non</sub>を出力するが、後半の2つのフレーム期間F3及びF4では電圧群G<sub>mix1</sub>及びG<sub>mix2</sub>を出力することに注意されたい。以下に、電源回路80が電圧群G1及びG<sub>non</sub>を出力する前半の2つのフレーム期間F1及びF2と

、電源回路 8 0 が電圧群 G 1 及び G non を出力する後半の 2 つのフレーム期間 F 3 及び F 4 とに分けて、図 8 及び図 9 の説明を続ける。

#### 【0 1 0 8】

前半の 2 つのフレーム期間 F 1 及び F 2 に電源回路 8 0 が発生した電圧群 G 1 及び G non は、階調電圧群出力手段 8 0 0 の出力部 Out 1 及び Out ADD から出力されるとともに、抵抗チェーン 8 1 の両端に印加される。この抵抗チェーン 8 1 に電圧群 G 1 と G non とが印加されることによって、この抵抗チェーン 8 1 が階調電圧群 G 2 乃至 G 3 2 を発生する。この発生した階調電圧群 G 2 乃至 G 3 2 は、階調電圧群出力手段 8 0 0 の出力部 Out 2 乃至 Out 3 2 から出力される。従って、階調電圧群出力手段 8 0 0 は、階調電圧群出力部 Out 1 乃至 Out 3 2 から階調電圧群 G 1 乃至 G 3 2 を出力することができる。奇数階調期間 P o では、抵抗チェーン 8 1 の両端に階調電圧 V 1 及び非階調電圧 V n 2 が印加され、この結果、抵抗チェーン 8 1 は階調電圧 V 1 と非階調電圧 V n 2 との間の階調電圧 V 3、V 5、  
・ ・ ・、V 6 1、V 6 3 を発生する。従って、階調電圧群出力手段 8 0 0 の出力部 Out 1 乃至 Out 3 2 及び Out ADD から、奇数レベルの 3 2 個の階調電圧 V 2n-1 (n = 1 乃至 3 2 の整数) 及び非階調電圧 V n 2 が出力される。ここで、階調電圧 V 1 及び非階調電圧 V n 2 の値、並びに抵抗チェーン 8 1 の各抵抗 R 1 乃至 R 3 2 の値は、奇数レベルの 3 2 種類の階調電圧 V 2n-1 の各々が理想階調電圧に一致するように選択されていることに注意されたい。

#### 【0 1 0 9】

一方、偶数階調期間 P e では、抵抗チェーン 8 1 の両端に階調電圧 V 2 及び非階調電圧 V n 3 が印加され、この結果、抵抗チェーン 8 1 は、階調電圧 V 2 と非階調電圧 V n 3 との間の階調電圧 V 4、V 6、  
・ ・ ・、V 6 2、V 6 4 を発生する。従って、階調電圧群出力手段 8 0 0 の出力部 Out 1 乃至 Out 3 2 及び Out ADD から、偶数レベルの 3 2 種類の階調電圧 V 2n (n = 1 乃至 3 2 の整数) 及び非階調電圧 V n 3 が出力される。

#### 【0 1 1 0】

上述したように、出力部 Out 1 から偶数階調期間 P e に出力される階調電圧 V 2 は奇数階調期間 P o に出力される階調電圧 V 1 より  $\Delta V$  だけ小さい値に設定さ

れ、出力部OutADDから偶数階調期間 $P_e$ に出力される非階調電圧 $V_{n3}$ も奇数階調期間 $P_o$ に出力される非階調電圧 $V_{n2}$ より $\Delta V$ だけ小さい値に設定されている。従って、その他の出力部Outから偶数階調期間 $P_e$ に出力される階調電圧も、奇数階調期間 $P_o$ に出力される階調電圧より $\Delta V$ だけ小さい値となる。この $\Delta V$ の値は、出力部Out16から出力される階調電圧 $V_{32}$ が理想階調電圧 $V_{32i}$ に一致するように選択されている。従って、図7を参照しながら説明したように、線形性を示す領域 $R_1$ では、階調電圧 $V_{2n}$ は理想階調電圧にほぼ一致する。しかしながら、非線形性を示す領域 $R_2$ では、階調電圧 $V_{2n}$ と理想階調電圧とのずれが大きくなる。例えば、図9に示すように、階調電圧 $V_2$ の理想階調電圧 $V_{2i}$ は、階調電圧 $V_1$ よりも $\alpha$ だけ小さいのであるが、偶数階調期間 $P_e$ に実際に出力される階調電圧 $V_2$ は階調電圧 $V_1$ よりも $\Delta V$ だけしか小さくないので、階調電圧 $V_2$ は理想階調電圧 $V_{2i}$ よりも $\Delta V_2 +$ だけ大きい。また、階調電圧 $V_{64}$ の理想階調電圧 $V_{64i}$ は、階調電圧 $V_{63}$ よりも $\beta$ だけ小さいのであるが、偶数階調期間 $P_e$ に実際に出力される階調電圧 $V_{64}$ は階調電圧 $V_{63}$ よりも $\Delta V$ だけしか小さくないので、階調電圧 $V_{64}$ は理想階調電圧 $V_{64i}$ よりも $\Delta V_{64} +$ だけ大きい。

#### 【0111】

従って、前半の2つのフレーム期間 $F_1$ 及び $F_2$ において、奇数レベルの32個の階調電圧 $V_{2n-1}$  ( $n=1$ 乃至32の整数)、及び線形性を示す領域 $R_1$ 内に存在する偶数レベルの階調電圧 $V_{2n}$ は、理想階調電圧にほぼ一致する。しかしながら、非線形性を示す領域 $R_2$ では、階調電圧 $V_{2n}$ は理想階調電圧よりも大きくなっている。

#### 【0112】

次に、電源回路80が電圧群 $G_1$ 及び $G_{non}$ を出力する後半の2つのフレーム期間 $F_3$ 及び $F_4$ について説明する。

#### 【0113】

後半の2つのフレーム期間 $F_3$ 及び $F_4$ に電源回路80が発生した電圧群 $G_{mix1}$ 及び $G_{mix2}$  (図8及び図9参照) は、階調電圧群出力手段800の出力部Out1及びOutADDから出力されるとともに、抵抗チェーン81の両端に印加される

。この抵抗チェーン 81 に電圧群電圧群  $G_{mix1}$  と  $G_{mix2}$  とが印加されることによって、この抵抗チェーン 81 が階調電圧群  $G_{2'}$  乃至  $G_{32'}$  を発生する。この発生した階調電圧群  $G_{2'}$  乃至  $G_{32'}$  は、階調電圧群出力手段 800 の出力部 Out 2 乃至 Out 3 2 から出力される。従って、階調電圧群出力手段 800 は、階調電圧群出力部 Out 1 乃至 Out 3 2 から電圧群  $G_{mix1}$  乃至  $G_{32'}$  を出力し、電圧出力部 Out ADD から電圧群  $G_{mix2}$  をすることができる。後半の 2 つのフレーム期間 F 3 及び F 4 の奇数階調期間  $P_o$  では、前半の 2 つのフレーム期間 F 1 及び F 2 と同様に、抵抗チェーン 81 の両端に階調電圧  $V_1$  及び非階調電圧  $V_{n2}$  が印加され、この結果、抵抗チェーン 81 は階調電圧  $V_1$  と非階調電圧  $V_{n2}$  との間の階調電圧  $V_3$ 、 $V_5$ 、 $\dots$ 、 $V_{61}$ 、 $V_{63}$  を発生する。

#### 【0114】

一方、偶数階調期間  $P_e$  では、抵抗チェーン 81 の両端に非階調電圧  $V_{n1}$  及び階調電圧  $V_{64'}$  が印加され、この結果、抵抗チェーン 81 は、非階調電圧  $V_{n1}$  と階調電圧  $V_{64'}$  との間の階調電圧  $V_{2'}$ 、 $V_4$ 、 $\dots$ 、 $V_{60'}$ 、 $V_{62'}$  を発生する。従って、階調電圧群出力手段 800 の出力部 Out 1 乃至 Out 3 2 及び Out ADD から、非階調電圧  $V_{n1}$  と偶数レベルの 32 種類の階調電圧  $V_{2n'}$  ( $n=1$  乃至 32 の整数) とが出力される。

#### 【0115】

上述したように、後半の 2 つのフレーム期間 F 3 及び F 4 において、出力部 Out 1 から偶数階調期間  $P_e$  に出力される非階調電圧  $V_{n1}$  は、奇数階調期間  $P_o$  に出力される階調電圧  $V_1$  より  $\Delta V$  だけ大きい値に設定され、出力部 Out ADD から偶数階調期間  $P_e$  に出力される階調電圧  $V_{64'}$  も奇数階調期間  $P_o$  に出力される非階調電圧  $V_{n2}$  より  $\Delta V$  だけ大きい値に設定されている。この結果、その他の出力部 Out から偶数階調期間  $P_e$  に出力される階調電圧も、奇数階調期間  $P_o$  に出力される階調電圧より  $\Delta V$  だけ大きい値となる。従って、前半の 2 つのフレーム期間 F 1 及び F 2 では、偶数階調期間  $P_e$  に出力される電圧が、奇数階調期間  $P_o$  に出力される電圧よりも  $\Delta V$  だけ小さいのに対して、後半の 2 つのフレーム期間 F 3 及び F 4 では、偶数階調期間  $P_e$  に出力される電圧は奇数階調期間  $P_o$  に出力される電圧よりも  $\Delta V$  だけ大きいことに注意されたい。



## 【0116】

後半の2つのフレーム期間F3及びF4では、この $\Delta V$ の値は、出力部Out17から出力される階調電圧 $V_{32}'$ が理想階調電圧 $V_{32i}$ に一致するように選択されている。従って、図7を参照しながら説明したように、線形性を示す領域R1では、階調電圧 $V_{2n}'$ は理想階調電圧にほぼ一致する。しかしながら、非線形性を示す領域R2では、階調電圧 $V_{2n}'$ と理想階調電圧とのずれが大きくなる。例えば、図9に示すように、階調電圧 $V_2'$ の理想階調電圧 $V_{2i}$ は、階調電圧 $V_3$ よりも $\gamma$ だけ大きいのであるが、偶数階調期間 $P_e$ に実際に出力される階調電圧 $V_2'$ は階調電圧 $V_1$ よりも $\Delta V$ だけしか大きくないので、階調電圧 $V_2'$ は理想階調電圧 $V_{2i}$ よりも $\Delta V_2 -$ だけ小さい。また、階調電圧 $V_{64}'$ の理想階調電圧 $V_{64i}$ は、非階調電圧 $V_{n2}$ よりも $\delta$ だけ大きいのであるが、偶数階調期間 $P_e$ に実際に出力される階調電圧 $V_{64}'$ は階調電圧 $V_{63}$ よりも $\Delta V$ だけしか大きくないので、階調電圧 $V_{64}'$ は理想階調電圧 $V_{64i}$ よりも $\Delta V_{64} -$ だけ小さい。

## 【0117】

従って、後半の2つのフレーム期間F3及びF4において、奇数レベルの32個の階調電圧 $V_{2n-1}$  ( $n=1$ 乃至32の整数)、及び線形性を示す領域R1内に存在する偶数レベルの階調電圧 $V_{2n}'$ は、理想階調電圧にほぼ一致する。しかしながら、非線形性を示す領域R2では、階調電圧 $V_{2n}'$  ( $n=1$ 乃至32の整数)は理想階調電圧よりも小さくなっている。

## 【0118】

図8に示す階調電圧群出力手段800は、4つの連続するフレーム期間F1乃至F4に渡って、上記のような電圧を出力するように構成されている。尚、階調電圧 $V_{2n}$ が本発明にいう上位階調電圧に相当し、階調電圧 $V_{2n}'$ が本発明にいう下位階調電圧に相当する。

## 【0119】

また、図8の階調電圧出力装置6は、画像信号 $S_i$ を処理する画像信号処理回路82を備えている。この画像信号処理回路82は、6ビットの画像信号 $S_i$ が入力される入力部82aと、6ビットの画像信号 $S_i$ と同じビット幅を有する出

力信号  $S_i'$  を出力する第1の出力部 82b と、1ビットのビット幅を有する切替制御信号  $S_c$  を出力する第2の出力部 82c とを有する。この画像信号処理回路 82 は、画像信号処理回路 82 に入力された画像信号  $S_i$  の最下位ビットが '0' の場合、入力された画像信号  $S_i$  のビットパターンと同じビットパターンの出力信号  $S_i'$  を第1の出力部 82b から出力し、第2の出力部 82c から '0' の切替制御信号  $S_c$  を出力する。

#### 【0120】

一方、画像信号処理回路 82 は、入力された画像信号  $S_i$  の最下位ビットが '1' の場合、画像信号  $S_i$  が4つのフレーム期間  $F_1$  乃至  $F_4$  のうちのどのフレーム期間に属しているかに応じて、以下のように画像信号  $S_i$  を処理する。

#### 【0121】

最下位ビット '1' を有する画像信号  $S_i$  が、4つのフレーム期間  $F_1$  乃至  $F_4$  のうちの前半のフレーム期間  $F_1$  又は  $F_2$  に属している場合、画像信号処理回路 82 は、入力された画像信号  $S_i$  のビットパターンと同じビットパターンの出力信号  $S_i'$  を第1の出力部 82b から出力し、第2の出力部 82c から '0' の切替制御信号  $S_c$  を出力する。

#### 【0122】

ところが、最下位ビット '1' を有する画像信号  $S_i$  が、後半のフレーム期間  $F_3$  及び  $F_4$  に属している場合、画像信号処理回路 82 は、第1の出力部 82b から、画像信号  $S_i$  に '10' が加算された信号を出力信号  $S_i'$  として出力し、第2の出力部 82c から '0' の切替制御信号  $S_c$  を出力する。例えば、画像信号  $S_i$  が "000001" の場合、第1の出力部 82b から、ビットパターンが変更された "000011" の出力信号  $S_i'$  が出力される。但し、画像信号処理回路 82 に入力された画像信号が "111111" の場合は、第1の出力部 82b から "000000" が出力信号  $S_i'$  として出力され、第2の出力部 82c から '1' の切替制御信号  $S_c$  が出力されることに注意されたい。

#### 【0123】

尚、入力された画像信号  $S_i$  のビットパターンと同じビットパターンの出力信号  $S_i'$  が、本発明にいう「ビットパターン同一信号」に相当し、ビットパター

ンが変更された出力信号  $S_i'$  が、本発明にいう「ビットパターン変更信号」に相当する。

#### 【0124】

また、階調電圧出力装置 6 はセレクタ 83 を備えている。このセレクタ 83 (本発明にいう階調電圧群選択手段に相当する) は、階調電圧群出力手段 800 の 33 個の出力部 Out 1 乃至 Out ADD のうちの、32 個の出力部 Out 1 乃至 Out 32 に対応して、32 個の階調電圧群入力部 In 1 乃至 In 32 を備えている。従って、階調電圧群出力手段 800 の出力部 Out 1 乃至 Out 32 から出力された電圧は、セレクタ 83 の対応する入力部 In 1 乃至 In 32 に入力されるが、階調電圧群出力手段 800 の出力部 Out ADD から出力される電圧はセレクタ 83 に入力されないことに注意されたい。また、このセレクタ 83 には、画像信号処理回路 82 から出力された出力信号  $S_i'$  を構成する 6 ビットのうち、最上位ビット MSB を含む上位 5 ビット FHB を表す上位ビット信号  $S_f'$  が入力される。セレクタ 83 は、32 個の入力部 In 1 乃至 In 32 のうち、上位ビット信号  $S_f'$  が表す上位 5 ビットのビットパターンに対応する 1 つの入力部を選択し、この選択した入力部に入力された電圧群を出力部 83a から出力する。上位ビット信号  $S_f'$  は  $2^5 = 32$  通りのビットパターンを取り得るため、セレクタ 83 は、上位ビット信号  $S_f'$  が表す上位 5 ビットのビットパターンに応じて、32 個の入力部 In 1 乃至 In 32 の各々を選択することができる。

#### 【0125】

また、階調電圧出力装置 6 は、接続切替部 84 及びスイッチ 85 を備えている。接続切替部 84 は、画像信号処理回路 82 の出力部 82c から出力された切替制御信号  $S_c$  によって制御される。一方、スイッチ 85 (本発明にいう階調電圧選択手段に相当する) は、画像信号処理回路 82 の出力部 82b から出力された出力信号  $S_i'$  の最下位ビット LSB を表す最下位ビット信号  $S_{lsb}'$  により制御される。接続切替部 84 は、切替制御信号  $S_c$  が '0' の場合、セレクタ 83 の出力部 83a をスイッチ 85 に接続し、切替制御信号  $S_c$  が '1' の場合、階調電圧群出力手段 800 の出力部 Out ADD をスイッチ 85 に接続するように、動作する。スイッチ 85 は、接続切替部 84 によりスイッチ 85 に接続されたセレク

タ 83 の出力部 83 a 又は階調電圧群出力手段 800 の出力部 OutADD と、映像ライン 5 とが接続されるか否かを切り替える。最下位ビット信号 S<sub>lsb</sub>' が “1” の場合、スイッチ 85 は、各階調電圧群出力期間 P<sub>v</sub> を通じて閉じた状態である。一方、最下位ビット信号 S<sub>lsb</sub>' が “0” の場合、スイッチ 85 は、各階調電圧群出力期間 P<sub>v</sub> のうち奇数階調期間 P<sub>o</sub> は閉じた状態であるが、偶数階調期間 P<sub>e</sub> は開いた状態になる。

#### 【0126】

以上説明したようにして、階調電圧出力装置 6 が構成される。

#### 【0127】

以下、この階調電圧出力装置 6 の動作を具体的に説明する。この動作の説明にあたっては、(1) 表示部 2 に画像信号 S<sub>i</sub> “011110” が表す画像を表示する場合、(2) 表示部 2 に画像信号 S<sub>i</sub> “011111” が表す画像を表示する場合、(3) 表示部 2 に画像信号 S<sub>i</sub> “000001” が表す画像を表示する場合の階調電圧出力装置 6 の動作を取り上げて説明する。

#### 【0128】

(1) 表示部 2 に画像信号 S<sub>i</sub> “011110” が表す画像を表示する場合

#### 【0129】

この場合、階調電圧出力装置 6 は、4 つのフレーム期間 F<sub>1</sub> 乃至 F<sub>4</sub> の各々において、以下のように動作する。

#### 【0130】

階調電圧群出力手段 800 は、まず、4 つのフレーム期間 F<sub>1</sub> 乃至 F<sub>4</sub> のうちの最初のフレーム期間 F<sub>1</sub> において、出力部 out<sub>1</sub> 乃至 out<sub>32</sub> から階調電圧群 G<sub>1</sub> 乃至 G<sub>32</sub> を出力するとともに、出力部 OutADD から非階調電圧群 G<sub>non</sub> を出力する。出力部 out<sub>1</sub> 乃至 out<sub>32</sub> から出力された階調電圧群 G<sub>1</sub> 乃至 G<sub>32</sub> はセレクタ 83 の入力部 In<sub>1</sub> 乃至 In<sub>32</sub> に入力されるが、出力部 OutADD から出力された非階調電圧群 G<sub>non</sub> は、セレクタ 83 には入力されないことに再度注意されたい。また、画像信号処理回路 82 には、“011110” の画像信号 S<sub>i</sub> が入力される。この画像信号 S<sub>i</sub> の最下位ビットは “0” であるため、画像信号処理回路 82 は、第 1 の出力部 82 b から、入力された画像信号 S<sub>i</sub> と同じビットパター

ン“011110”を有する出力信号 $S_i$ ’を出力し、第2の出力部82cから‘0’の切替制御信号 $S_{c2}$ を出力する。出力信号 $S_i$ ’が表すビットパターン“011110”のうち、上位5ビットFHBのビットパターン‘01111’を表す信号 $S_f$ ’がセレクタ83に入力される。セレクタ83は、32個の入力部In1乃至In32のうち、上位5ビットのビットパターン‘01111’に対応した入力部In16を選択する。従って、セレクタ83は、選択された入力部In16に輸入された階調電圧群G16を出力部83aから出力する。階調電圧群G16は、図9に示すように、奇数階調期間 $P_o$ においては階調電圧 $V_{31}$ であるため、セレクタ83は、奇数階調期間 $P_o$ の間、階調電圧 $V_{31}$ を出力部83aから出力する。一方、奇数階調期間 $P_o$ から偶数階調期間 $P_e$ に移行すると、階調電圧群G16は階調電圧 $V_{31}$ から階調電圧 $V_{32}$ に変化するため、セレクタ83は、階調電圧 $V_{32}$ を出力部83aから出力する。

#### 【0131】

また、画像信号処理回路82の第2の出力部82cから出力された切替制御信号 $S_c$ は‘0’であるため、接続切替部84はセレクタ83側に閉じられる。従って、階調電圧群出力手段800の出力部OutADDから出力された非階調電圧群 $G_{non}$ はスイッチ85に供給されないが、セレクタ83から出力された階調電圧群G16がスイッチ85に供給される。

#### 【0132】

また、画像信号処理回路82から出力された出力信号 $S_i$ ’は“011110”であるため、最下位ビット信号 $S_{lsb}$ ’は‘0’である。従って、スイッチ85は、階調電圧群出力期間 $P_v$ のうち奇数階調期間 $P_o$ は閉じた状態であるが、偶数階調期間 $P_e$ は開いた状態になる。この結果、奇数階調期間 $P_o$ にセレクタ83が出力した階調電圧 $V_{31}$ はスイッチ85を経由して映像ライン5に供給されるが、一方、偶数階調期間 $P_e$ にセレクタ83が出力した階調電圧 $V_{32}$ は、スイッチ85が開いているため映像ライン5には供給されない。従って、画像信号 $S_i$ が“011110”の場合、セレクタ83は階調電圧 $V_{31}$ と $V_{32}$ との両方を出力するが、映像ライン5には階調電圧 $V_{31}$ のみが供給される。この映像ライン5に供給された階調電圧 $V_{31}$ は、ソースドライバ4を経由して選択期



間  $P_s$  の間にソースバス  $B_s$  に供給される。従って、階調電圧  $V_{31}$  は、ソースバス  $B_s$  の選択期間  $P_s$  の間にソースバス  $B_s$  に供給される。このソースバス  $B_s$  に供給された階調電圧  $V_{31}$  は、ゲートバス  $B_g$  により選択されている表示部 2 の画素に供給される。この階調電圧  $V_{31}$  は、上述したように、理想階調電圧に一致しているため、表示部 2 は良好な画質を有する画像を表示することができる。

#### 【0133】

上記の説明では、4つのフレーム期間  $F_1$  乃至  $F_4$  のうちの最初のフレーム期間  $F_1$  における階調電圧出力装置 6 の動作について説明したが、次のフレーム期間  $F_2$  の階調電圧出力装置 6 の動作も、同様に説明することができ、表示部 2 は良好な画質を有する画像を表示することができる。

#### 【0134】

次に、後半のフレーム期間  $F_3$  及び  $F_4$  について考察する。画像信号処理回路 82 には、前半のフレーム期間  $F_1$  及び  $F_2$  と同様に、“011110” の画像信号  $S_i$  が入力される。従って、セレクタ 83 は入力部 Out 16 を選択する。但し、図 9 に示すように、階調電圧群出力手段 800 が後半のフレーム期間  $F_3$  及び  $F_4$  の奇数階調期間  $P_o$  に出力する電圧は、前半のフレーム期間  $F_1$  及び  $F_2$  の奇数階調期間  $P_o$  に出力する電圧と同じであるが、一方、階調電圧群出力手段 800 が後半のフレーム期間  $F_3$  及び  $F_4$  の偶数階調期間  $P_e$  に出力する電圧は、前半のフレーム期間  $F_1$  及び  $F_2$  の偶数階調期間  $P_e$  に出力する電圧とは異なる。つまり、セレクタ 83 は、前半のフレーム期間  $F_1$  及び  $F_2$  では階調電圧  $V_{31}$  と  $V_{32}$  とを出力していたが、後半のフレーム期間  $F_3$  及び  $F_4$  では階調電圧  $V_{31}$  と階調電圧  $V_{30}'$  とを出力することになる。しかしながら、スイッチ 85 に供給される信号  $S_{lsb}'$  は、前半のフレーム期間  $F_1$  及び  $F_2$  と同様に ‘0’ であるため、偶数階調期間  $P_e$  においてスイッチ 85 は開いている。従って、階調電圧  $V_{31}$  は映像ライン 5 に出力されるが、階調電圧  $V_{30}'$  は映像ライン 5 には出力されない。従って、表示部 2 には、画像信号 “011110” が表す階調電圧  $V_{31}$  が供給される。この階調電圧  $V_{31}$  は、上述したように、理想階調電圧に一致しているため、後半のフレーム期間  $F_3$  及び  $F_4$  においても、表

示部 2 は良好な画質を有する画像を表示することができる。

【0135】

従って、連続する 4 フレーム期間 F 1 乃至 F 4 に渡って、表示部 2 は良好な画質を有する画像を表示することができる。尚、前半の 2 つのフレーム期間 F 1 及び F 2 が本発明にいう 1 つの又は幾つかのフレーム期間に相当し、後半の 2 つのフレーム期間 F 3 及び F 4 が本発明にいう残りのフレーム期間に相当する。

【0136】

上記の説明では、画像信号 “011110” について説明したが、最下位ビットがビットパターン “0” を有する他の画像信号 “xxxxx0” (x は ‘0’ 又は ‘1’) についても、セレクタ 83 が選択する入力部が異なるだけで、その他の動作は、画像信号 “011110” の場合と同様に説明できる。

【0137】

(2) 表示部 2 に画像信号 S<sub>i</sub> “011111” が表す画像を表示する場合

【0138】

この場合、階調電圧出力装置 6 は、4 つのフレーム期間 F 1 乃至 F 4 の各々において、以下のように動作する。

【0139】

先ず、4 つのフレーム期間 F 1 乃至 F 4 のうちの最初のフレーム期間 F 1 において、階調電圧群出力手段 800 の出力部 out 1 乃至 out 32 から階調電圧群 G 1 乃至 G 32 がセレクタ 83 の入力部 In 1 乃至 In 32 に入力される。また、画像信号処理回路 82 には、“011111” の画像信号 S<sub>i</sub> が入力される。画像信号処理回路 82 は、第 1 の出力部 82b から、入力された画像信号 S<sub>i</sub> と同じビットパターン “011111” を有する出力信号 S<sub>i</sub>’ を出力し、第 2 の出力部 82c から、‘0’ の切替制御信号 S<sub>c</sub> 2 を出力する。出力信号 S<sub>i</sub>’ が表すビットパターン “011111” のうち、上位 5 ビット FHB のビットパターン ‘01111’ を表す信号 S<sub>f</sub>’ がセレクタ 83 に入力される。セレクタ 83 は、32 個の入力部 In 1 乃至 In 32 のうち、上位 5 ビットのビットパターン ‘01111’ に対応した入力部 In 16 を選択する。従って、セレクタ 83 は、図 9 に示すように、奇数階調期間 P<sub>o</sub> に階調電圧 V<sub>3</sub> 1 を出力し、一方、偶数階調期間 P<sub>e</sub>

に階調電圧  $V_{32}$  を出力する。

【0140】

また、画像信号処理回路 82 の第 2 の出力部 82c から出力された切替制御信号  $S_c$  は ‘0’ であるため、接続切替部 84 はセクタ 83 側に閉じられる。従って、階調電圧群出力手段 800 の出力部 OutADD から出力された非階調電圧群  $G_{non}$  はスイッチ 85 に供給されないが、セクタ 83 から出力された階調電圧群  $G_{16}$  がスイッチ 85 に供給される。

【0141】

また、画像信号処理回路 82 から出力された出力信号  $S_i'$  は “011111” であるため、最下位ビット信号  $S_{lsb}'$  は ‘1’ である。従って、スイッチ 85 は、奇数階調期間  $P_o$  及び偶数階調期間  $P_e$  に渡って閉じた状態になる。この結果、セクタ 83 から出力された階調電圧  $V_{31}$  がスイッチ 85 を経由して映像ライン 5 に供給された後、階調電圧  $V_{32}$  も映像ライン 5 に供給される。この映像ライン 5 に供給された階調電圧  $V_{31}$  及び  $V_{32}$  は、ソースドライバ 4 を経由して選択期間  $P_s$  の間にソースバス  $B_s$  に供給される。図 9 を参照しながら説明したように、これら階調電圧  $V_{31}$  及び  $V_{32}$  は、ソースバス  $B_s$  の選択期間  $P_s$  に対応する階調電圧群出力期間  $P_v$  に、階調電圧群出力手段 800 から出力される。従って、ソースバス  $B_s$  の選択期間  $P_s$  の間に、階調電圧  $V_{31}$  と  $V_{32}$  との両方がソースバス  $B_s$  に供給される。このソースバス  $B_s$  に供給された階調電圧  $V_{31}$  及び  $V_{32}$  は、ゲートバス  $B_g$  により選択されている表示部 2 の画素に供給される。この画素には、階調電圧  $V_{31}$  及び  $V_{32}$  のうち、最初に階調電圧  $V_{31}$  が供給されるが、続いて階調電圧  $V_{32}$  が供給される。従って、表示部 2 には最終的に階調電圧  $V_{32}$  が供給される。この階調電圧  $V_{32}$  は、上述したように、理想階調電圧  $V_{32i}$  に一致しているため、表示部 2 は良好な画質を有する画像を表示することができる。

【0142】

上記の説明では、4 つのフレーム期間  $F_1$  乃至  $F_4$  のうちの最初のフレーム期間  $F_1$  における階調電圧出力装置 6 の動作について説明したが、次のフレーム期間  $F_2$  の階調電圧出力装置 6 の動作も、同様に説明することができ、表示部 2 は

良好な画質を有する画像を表示することができる。

#### 【0 1 4 3】

次に、後半のフレーム期間 F 3 及び F 4 について考察する。画像信号処理回路 8 2 には、前半のフレーム期間 F 1 及び F 2 と同様に、“0 1 1 1 1 1”の画像信号 S i が入力される。但し、後半のフレーム期間 F 3 及び F 4 では、前半のフレーム期間 F 1 及び F 2 とは異なり、“0 1 1 1 1 1”の画像信号 S i に‘1 0’が加算されるため、画像信号処理回路 8 2 の出力部 8 2 b から、‘1 0 0 0 0 1’の出力信号 S i’が出力される。従って、出力信号 S i’が表すビットパターン“1 0 0 0 0 1”のうち、上位 5 ビット F H B のビットパターン‘1 0 0 0 0’を表す信号 S f’がセレクタ 8 3 に入力される。セレクタ 8 3 は、3 2 個の入力部 In 1 乃至 In 3 2 のうち、上位 5 ビットのビットパターン‘1 0 0 0 0’に対応した入力部 In 1 7 を選択する。従って、セレクタ 8 3 は、前半のフレーム期間 F 1 及び F 2 では入力部 In 1 6 を選択していたが、後半のフレーム期間 F 3 及び F 4 では、入力部 In 1 7 を選択することになる。しかしながら、図 9 に示すように、階調電圧群出力手段 8 0 0 は、後半のフレーム期間 F 3 及び F 4 では、偶数階調期間 P e に出力する電圧は、奇数階調期間 P o に出力する電圧よりも  $\Delta V$  だけ大きい。このため、出力部 Out 1 7 が後半のフレーム期間 F 3 及び F 4 に出力する階調電圧群 G 1 7’は、図 9 に示すように、階調電圧 V 3 3 及び V 3 2’である。従って、セレクタ 8 3 は、奇数階調期間 P o に階調電圧 V 3 3 を出力するが、偶数階調期間 P e に階調電圧 V 3 2’を出力する。

#### 【0 1 4 4】

また、画像信号処理回路 8 2 の第 2 の出力部 8 2 c から‘0’の切替制御信号 S c が出力される。従って、接続切替部 8 4 はセレクタ 8 3 側に閉じられ、この結果、階調電圧群出力手段 8 0 0 の出力部 Out ADD から出力された混合電圧群 G m i x 2 はスイッチ 8 5 に供給されないが、セレクタ 8 3 から出力された階調電圧群 G 1 7’がスイッチ 8 5 に供給される。

#### 【0 1 4 5】

また、画像信号処理回路 8 2 から出力された出力信号 S i’は“1 0 0 0 0 1”であるため、最下位ビット信号 S l s b’は‘1’である。従って、スイッチ 8

5は、奇数階調期間 $P_o$ 及び偶数階調期間 $P_e$ に渡って閉じた状態になる。この結果、セレクタ83から出力された階調電圧 $V_{33}$ がスイッチ85を経由して映像ライン5に供給された後、階調電圧 $V_{32'}$ も映像ライン5に供給される。この映像ライン5に供給された階調電圧 $V_{33}$ 及び $V_{32'}$ は、ソースドライバ4を経由して選択期間 $P_s$ の間にソースバス $B_s$ に供給される。図9を参照しながら説明したように、これら階調電圧 $V_{33}$ 及び $V_{32'}$ は、ソースバス $B_s$ の選択期間 $P_s$ に対応する階調電圧群出力期間 $P_v$ に、階調電圧群出力手段800から出力される。従って、ソースバス $B_s$ の選択期間 $P_s$ の間に、階調電圧 $V_{33}$ と $V_{32'}$ との両方がソースバス $B_s$ に供給される。このソースバス $B_s$ に供給された階調電圧 $V_{33}$ 及び $V_{32'}$ は、ゲートバス $B_g$ により選択されている表示部2の画素に供給される。この画素には、階調電圧 $V_{33}$ 及び $V_{32'}$ のうち、最初に階調電圧 $V_{33}$ が供給されるが、続いて階調電圧 $V_{32'}$ が供給される。従って、表示部2には最終的に階調電圧 $V_{32'}$ が供給される。この階調電圧 $V_{32'}$ は、上述したように、理想階調電圧 $V_{32i}$ に一致しているため（図9参照）、表示部2は良好な画質を有する画像を表示することができる。

#### 【0146】

映像ライン5に供給された階調電圧 $V_{32'}$ は、ソースドライバ4を経由して表示部2に供給される。この階調電圧 $V_{32'}$ は、階調電圧 $V_{32}$ と同様に、理想階調電圧 $V_{32i}$ に一致した電圧である。

#### 【0147】

従って、連続する4フレーム期間 $F_1$ 乃至 $F_4$ に渡って、表示部2は良好な画質を有する画像を表示することができる。

#### 【0148】

(3) 表示部2に画像信号 $S_i$  “000001” が表す画像を表示する場合

#### 【0149】

この場合、階調電圧出力装置6は、4つのフレーム期間 $F_1$ 乃至 $F_4$ の各々において、以下のように動作する。

#### 【0150】

先ず、4つのフレーム期間 $F_1$ 乃至 $F_4$ のうちの最初のフレーム期間 $F_1$ にお



いて、階調電圧群出力手段 800 の出力部 out 1 乃至 out 32 から階調電圧群 G 1 乃至 G 32 がセレクタ 83 の入力部 In 1 乃至 In 32 に入力される。また、画像信号処理回路 82 には、“000001” の画像信号 S<sub>i</sub> が入力される。画像信号処理回路 82 は、第 1 の出力部 82b から、入力された画像信号 S<sub>i</sub> と同じビットパターン “000001” を有する出力信号 S<sub>i</sub>' を出力し、第 2 の出力部 82c から、‘0’ の切替制御信号 S<sub>c</sub>2 を出力する。出力信号 S<sub>i</sub>' が表すビットパターン “000001” のうち、上位 5 ビット FHB のビットパターン ‘00000’ を表す信号 S<sub>f</sub>' がセレクタ 83 に入力される。セレクタ 83 は、32 個の入力部 In 1 乃至 In 32 のうち、上位 5 ビットのビットパターン ‘00000’ に対応した入力部 In 1 を選択する。従って、セレクタ 83 は、図 9 に示すように、奇数階調期間 P<sub>o</sub> に階調電圧 V<sub>1</sub>（本発明にいう最大階調電圧に相当する）を出力し、一方、偶数階調期間 P<sub>e</sub> に階調電圧 V<sub>2</sub> を出力する。

#### 【0151】

また、画像信号処理回路 82 の第 2 の出力部 82c から出力された切替制御信号 S<sub>c</sub> は ‘0’ であるため、接続切替部 84 はセレクタ 83 側に閉じられる。従って、階調電圧群出力手段 800 の出力部 OutADD から出力された非階調電圧群 G<sub>non</sub> はスイッチ 85 に供給されないが、セレクタ 83 から出力された階調電圧群 G<sub>16</sub> がスイッチ 85 に供給される。

#### 【0152】

また、画像信号処理回路 82 から出力された出力信号 S<sub>i</sub>' は “000001” であるため、最下位ビット信号 S<sub>lsb</sub>' は ‘1’ である。従って、スイッチ 85 は、奇数階調期間 P<sub>o</sub> 及び偶数階調期間 P<sub>e</sub> に渡って閉じた状態になる。この結果、セレクタ 83 から出力された階調電圧 V<sub>1</sub> がスイッチ 85 を経由して映像ライン 5 に供給された後、階調電圧 V<sub>2</sub> も映像ライン 5 に供給される。この映像ライン 5 に供給された階調電圧 V<sub>1</sub> 及び V<sub>2</sub> は、ソースドライバ 4 を経由して選択期間 P<sub>s</sub> の間にソースバス B<sub>s</sub> に供給される。図 9 を参照しながら説明したように、これら階調電圧 V<sub>1</sub> 及び V<sub>2</sub> は、ソースバス B<sub>s</sub> の選択期間 P<sub>s</sub> に対応する階調電圧群出力期間 P<sub>v</sub> に、階調電圧群出力手段 800 から出力される。従って、ソースバス B<sub>s</sub> の選択期間 P<sub>s</sub> の間に、階調電圧 V<sub>1</sub> と V<sub>2</sub> との両方がソー

スバス  $B_s$  に供給される。このソースバス  $B_s$  に供給された階調電圧  $V_1$  及び  $V_2$  は、ゲートバス  $B_g$  により選択されている表示部 2 の画素に供給される。この画素には、階調電圧  $V_1$  及び  $V_2$  のうち、最初に階調電圧  $V_1$  が供給されるが、続いて階調電圧  $V_2$  が供給される。従って、表示部 2 には最終的に階調電圧  $V_2$  が供給される。

#### 【0153】

上記の説明では、4つのフレーム期間  $F_1$  乃至  $F_4$  のうちの最初のフレーム期間  $F_1$  における階調電圧出力装置 6 の動作について説明したが、次のフレーム期間  $F_2$  の階調電圧出力装置 6 の動作も、同様に説明することができ、表示部 2 には階調電圧  $V_2$  が供給される。

#### 【0154】

但し、表示部 2 に供給される階調電圧  $V_2$  は、図 9 に示すように、理想階調電圧  $V_{2i}$  よりも  $\Delta V_2$  だけ大きいことに注意されたい。即ち、階調電圧  $V_2$  は、理想階調電圧  $V_{2i}$  に一致していない。従って、表示部 2 が実際に表示する画像の品質は、表示部 2 に理想階調電圧  $V_{2i}$  が供給されたときにその表示部 2 が表示する画像の品質よりも劣る。そこで、図 8 に示す階調電圧出力装置 6 では、表示部 2 が表示する画像の品質を向上させるために、後半のフレーム期間  $F_3$  及び  $F_4$  において、以下のように動作する。

#### 【0155】

画像信号処理回路 82 には、“000001”の画像信号  $S_i$  が入力される。但し、後半のフレーム期間  $F_3$  及び  $F_4$  では、前半のフレーム期間  $F_1$  及び  $F_2$  とは異なり、“000001”の画像信号  $S_i$  に‘10’が加算されるため、画像信号処理回路 82 の出力部 82b から、‘000011’の出力信号  $S_i'$  が出力される。従って、出力信号  $S_i'$  が表すビットパターン“000011”のうち、上位 5 ビット FHB のビットパターン‘00001’を表す信号  $S_f'$  がセレクタ 83 に入力される。セレクタ 83 は、32 個の入力部  $In_1$  乃至  $In_{32}$  のうち、上位 5 ビットのビットパターン‘00001’に対応した入力部  $In_2$  を選択する。従って、セレクタ 83 は、前半のフレーム期間  $F_1$  及び  $F_2$  では入力部  $In_1$  を選択していたが、後半のフレーム期間  $F_3$  及び  $F_4$  では、入力部  $In_2$  を選

択することになる。しかしながら、図 9 に示すように、階調電圧群出力手段 8 0 0 は、後半のフレーム期間 F 3 及び F 4 では、偶数階調期間 P e に出力する電圧は、奇数階調期間 P o に出力する電圧よりも  $\Delta V$  だけ大きい。このため、出力部 Out 2 が後半のフレーム期間 F 3 及び F 4 に出力する階調電圧群 G 2' は、図 9 に示すように、階調電圧 V 3 及び V 2' である。従って、セクタ 8 3 は、奇数階調期間 P o に階調電圧 V 3 を出力するが、偶数階調期間 P e に階調電圧 V 2' を出力する。

#### 【0 1 5 6】

また、画像信号処理回路 8 2 の第 2 の出力部 8 2 c から '0' の切替制御信号 S c が出力される。従って、接続切替部 8 4 はセクタ 8 3 側に閉じられ、この結果、階調電圧群出力手段 8 0 0 の出力部 OutADD から出力された混合電圧群 Gmix2 はスイッチ 8 5 に供給されないが、セクタ 8 3 から出力された階調電圧群 G 2' (階調電圧 V 3 及び V 2') がスイッチ 8 5 に供給される。

#### 【0 1 5 7】

また、画像信号処理回路 8 2 から出力された出力信号 S i' は "0 0 0 0 1 1" であるため、最下位ビット信号 S lsb' は '1' である。従って、スイッチ 8 5 は、奇数階調期間 P o 及び偶数階調期間 P e に渡って閉じた状態になる。この結果、セクタ 8 3 から出力された階調電圧 V 3 がスイッチ 8 5 を経由して映像ライン 5 に供給された後、階調電圧 V 2' も映像ライン 5 に供給される。この映像ライン 5 に供給された階調電圧 V 3 及び V 2' は、ソースドライバ 4 を経由して選択期間 P s の間にソースバス B s に供給される。図 9 を参照しながら説明したように、これら階調電圧 V 3 及び V 2' は、ソースバス B s の選択期間 P s に対応する階調電圧群出力期間 P v に、階調電圧群出力手段 8 0 0 から出力される。従って、ソースバス B s の選択期間 P s の間に、階調電圧 V 3 と V 2' との両方がソースバス B s に供給される。このソースバス B s に供給された階調電圧 V 3 及び V 2' は、ゲートバス B g により選択されている表示部 2 の画素に供給される。この画素には、階調電圧 V 3 及び V 2' のうち、最初に階調電圧 V 3 が供給されるが、続いて階調電圧 V 2' が供給される。従って、表示部 2 には最終的に階調電圧 V 2' が供給される。

## 【0158】

この表示部2に供給される階調電圧 $V_2'$ は、図9に示すように、理想階調電圧 $V_{2i}$ よりも $\Delta V_2^-$ だけ小さい。即ち、階調電圧 $V_2'$ は、理想階調電圧 $V_{2i}$ に一致していない。

## 【0159】

しかしながら、図8に示す階調電圧出力装置6は、上記のように、前半の2つのフレーム期間 $F_1$ 及び $F_2$ では階調電圧 $V_2$ を出力し、一方、後半の2つのフレーム期間 $F_3$ 及び $F_4$ では階調電圧 $V_2'$ を出力している。図9に示すように、この階調電圧 $V_2$ は、理想階調電圧 $V_{2i}$ よりも $\Delta V_2^+$ だけ大きい。一方、階調電圧 $V_2'$ は理想階調電圧 $V_{2i}$ よりも $\Delta V_2^-$ だけ小さい。従って、4つのフレーム期間 $F_1$ 乃至 $F_4$ の全体で考えると、表示部2には、階調電圧 $V_2$ と $V_2'$ とを平均した平均電圧 $V_{2m}$ （図9参照）が実質的に供給されていると考えることができる。この平均電圧 $V_{2m}$ は、理想階調電圧 $V_{2i}$ に一致してはいないが、平均電圧 $V_{2m}$ と理想階調電圧 $V_{2i}$ との差は、階調電圧 $V_2$ 及び $V_2'$ と理想階調電圧 $V_{2i}$ との差よりも小さい。従って、表示部2に階調電圧 $V_2$ 又は $V_2'$ のみを供給する場合と比較して、表示部2を見るユーザは、より高品質の画像を認識することができる。

## 【0160】

また、上記の説明では、最下位ビットが‘1’である画像信号 $S_i$ として、2つの画像信号 $S_i$ “011111”及び“000001”を取り上げて説明したが、その他の画像信号 $S_i$ “xxxxx1”についても、同様に考えることができる。但し、画像信号 $S_i$ が“111111”の場合は、階調電圧出力装置6は、上記の説明とはやや異なる動作をする。以下に、画像信号 $S_i$ が“111111”の場合の階調電圧出力装置6の動作について説明する。

## 【0161】

4つのフレーム期間 $F_1$ 乃至 $F_4$ のうち、前半の2つのフレーム期間 $F_1$ 及び $F_2$ については、上記の画像信号“011111”及び“000001”の場合と同様に考えることができる。即ち、セレクタ83は、階調電圧群出力手段800の出力部Out1乃至Out32のうち、画像信号“111111”の上位5ビット

FHBのビットパターン“11111”に対応する出力部Out 32を選択する。従って、階調電圧出力装置6は、前半の2つのフレーム期間F1及びF2については、階調電圧V63及びV64を出力し、この階調電圧V63及びV64が映像ライン5に供給される。

#### 【0162】

この映像ライン5に供給された階調電圧V63及びV64は、ソースドライバ4を経由して選択期間Psの間にソースバスBsに供給される。このソースバスBsに供給された階調電圧V63及びV64は、ゲートバスBgにより選択されている表示部2の画素に供給される。この画素には、階調電圧V63及びV64のうち、最初に階調電圧V63が供給されるが、続いて階調電圧V64が供給される。従って、表示部2には最終的に階調電圧V64が供給される。但し、表示部2に供給される階調電圧V64は、図9に示すように、理想階調電圧V64iよりも $\Delta V64+$ だけ大きいことに注意されたい。即ち、階調電圧V64は、理想階調電圧V64iに一致していない。従って、表示部2が実際に表示する画像の品質は、表示部2に理想階調電圧V64iが供給されたときにその表示部2が表示する画像の品質よりも劣る。そこで、図8に示す階調電圧出力装置6では、表示部2が表示する画像の品質を向上させるために、後半のフレーム期間F3及びF4において、以下のように動作する。

#### 【0163】

画像信号処理回路82には、“111111”の画像信号Siが入力される。但し、画像信号処理回路82は、後半のフレーム期間F3及びF4では、前半のフレーム期間F1及びF2とは異なり、入力された画像信号Si“111111”に‘10’が加算された7ビットの信号“1000001”を生成する。この7ビットの信号“1000001”のうち、最上位ビット‘1’が切替制御信号Scとして第2の出力部82cから出力され、残りの上位6ビット‘100000’が出力信号Si’として第1の出力部82bから出力される。出力信号Si’が表すビットパターン“100000”のうち、上位5ビットFHB‘10000’を表す信号Sf’がセレクタ83に供給され、最下位ビットLSB‘0’を表す信号Slsb’がスイッチ85に供給される。また、切替制御信号Scは接



続切替部 84 に供給される。この切替制御信号  $S_c$  は '1' であるため、接続切替部 84 はセレクタ 83 側ではなく、階調電圧群出力手段 800 の出力部 OutADD 側に閉じる。従って、セレクタ 83 が出力する電圧ではなく、階調電圧群出力手段 800 の出力部 OutADD が出力した混合電圧群  $G_{mix2}$  がスイッチ 85 に供給される。

#### 【0164】

混合電圧群  $G_{mix2}$  は、図 9 に示すように、奇数階調期間  $P_o$  においては非階調電圧  $V_{n2}$  であるため、階調電圧群出力手段 800 の出力部 OutADD は、奇数階調期間  $P_o$  の間、スイッチ 85 に非階調電圧  $V_{n2}$  を出力する。一方、奇数階調期間  $P_o$  から偶数階調期間  $P_e$  に移行すると、混合電圧群  $G_{mix2}$  は非階調電圧  $V_{n2}$  から階調電圧  $V_{64}'$  に変化するため、階調電圧群出力手段 800 の出力部 OutADD は、スイッチ 85 に階調電圧  $V_{64}'$  を出力する。

#### 【0165】

また、画像信号処理回路 82 から出力された出力信号  $S_i'$  は "000001" であるため、最下位ビット信号  $S_{lsb}'$  は '1' である。従って、スイッチ 85 は、奇数階調期間  $P_o$  及び偶数階調期間  $P_e$  に渡って閉じた状態になる。この結果、階調電圧群出力手段 800 の出力部 OutADD から出力された非階調電圧  $V_{n2}$  がスイッチ 85 を経由して映像ライン 5 に供給された後、階調電圧  $V_{64}'$  も映像ライン 5 に供給される。この映像ライン 5 に供給された非階調電圧  $V_{n2}$  及び階調電圧  $V_{64}'$  は、ソースドライバ 4 を経由して選択期間  $P_s$  の間にソースバス  $B_s$  に供給される。従って、ソースバス  $B_s$  の選択期間  $P_s$  の間に、非階調電圧  $V_{n2}$  と階調電圧  $V_{64}'$  との両方がソースバス  $B_s$  に供給される。このソースバス  $B_s$  に供給された非階調電圧  $V_{n2}$  及び階調電圧  $V_{64}'$  は、ゲートバス  $B_g$  により選択されている表示部 2 の画素に供給される。この画素には、非階調電圧  $V_{n2}$  及び階調電圧  $V_{64}'$  のうち、最初に非階調電圧  $V_{n2}$  が供給されるが、続いて階調電圧  $V_{64}'$  が供給される。従って、表示部 2 には最終的に階調電圧  $V_{64}'$  が供給される。

#### 【0166】

この表示部 2 に供給される階調電圧  $V_{64}'$  は、図 9 に示すように、理想階調

電圧  $V_{64i}$  よりも  $\Delta V_{64-}$  だけ小さい。即ち、階調電圧  $V_{64'}$  は、理想階調電圧  $V_{64i}$  に一致していない。

#### 【0167】

しかしながら、図8に示す階調電圧出力装置6は、上記のように、前半の2つのフレーム期間F1及びF2では階調電圧  $V_{64}$  を出力し、一方、後半の2つのフレーム期間F3及びF4では階調電圧  $V_{64'}$  を出力している。図9に示すように、階調電圧  $V_{64}$  は、理想階調電圧  $V_{64i}$  よりも  $\Delta V_{64+}$  だけ大きい一方、階調電圧  $V_{64'}$  は理想階調電圧  $V_{64i}$  よりも  $\Delta V_{64-}$  だけ小さい。従って、4つのフレーム期間F1乃至F4の全体で考えると、表示部2には、階調電圧  $V_{64}$  と  $V_{64'}$  とを平均した平均電圧  $V_{64m}$  が実質的に供給されていると考えることができる。平均電圧  $V_{64m}$  は階調電圧  $V_{64'}$  に依存する値であるため、この階調電圧  $V_{64'}$  を適正值に設定することによって、平均電圧  $V_{64m}$  を理想階調電圧  $V_{64i}$  に一致させることができる。階調電圧  $V_{64'}$  は、抵抗チェーン81の抵抗R32の抵抗値及び非階調電圧  $V_{n2}$  の電圧値に依存するため、抵抗R32の抵抗値及び非階調電圧  $V_{n2}$  の電圧値を調整することによって、平均電圧  $V_{64m}$  を理想階調電圧  $V_{64i}$  に一致させることができる。この場合、非階調電圧  $V_{n2}$  の値は、階調電圧  $V_{64'}$  が上記適正值に設定されるように選択されるため、非階調電圧  $V_{n2}$  の値は自由に選択できる値ではない。しかしながら、非階調電圧  $V_{n2}$  は、階調電圧として使用される電圧ではないため、非階調電圧  $V_{n2}$  がどのような値に選択されても、表示部2が表示する画像の品質には影響しないことに注意されたい。

#### 【0168】

図8に示す階調電圧出力装置6では、‘1’の最下位ビットを有する画像信号  $S_i$  が表す画像を表示する場合、セレクタ83は、前半のフレーム期間F1及びF2と後半のフレーム期間F3及びF4とで、選択する入力部In1乃至In32を変更している。特に、画像信号  $S_i$  “111111” が表す画像を表示する場合、接続切替部84は、スイッチ85がセレクタ83の出力部83aに接続されるか又は階調電圧群出力手段800の出力部OutADDに接続されるかを、前半のフレーム期間F1及びF2と後半のフレーム期間F3及びF4とで切り替えている。

このようにセクタ 83 及び切替接続部 84 を動作させることによって、表示部 2 に 64 階調の画像を高品質で表示することが可能となる。

#### 【0169】

以上説明したように、図 8 に示す階調電圧出力装置 6 を使用することによって、表示部 2 に 64 階調の画像を高品質で表示することができるが、階調電圧群出力手段 800 が有する出力部は 33 個で済む。従って、階調電圧群出力手段 800 の小型化が図られる。

#### 【0170】

また、セクタ 83 が有する入力部 In1 乃至 In32 は 32 個であるため、セクタ 83 が入力部 In1 乃至 In32 の切替えに必要とするスイッチの数も 32 個で済み、セクタ 83 の小型化が図られる。

#### 【0171】

また、第 3 実施形態では、階調電圧群出力手段 800 が出力する電圧群 G1 乃至 G32 等は前半の 2 つのフレーム期間 F1 及び F2 に出力され、電圧群 G2' 乃至 G32' 等は後半の 2 つのフレーム期間 F3 及び F4 に出力されている。即ち、階調電圧群出力手段 800 は、電圧群 G1 乃至 G32 等及び電圧群 G2' 乃至 G32' 等を、2 つのフレーム期間毎に交互に出力している。しかしながら、階調電圧群出力手段 800 が出力する電圧群 G1 乃至 G32 等及び電圧群 G2' 乃至 G32' 等は、例えば、1 フレーム期間毎に交互に出力されたり、3 つ以上のフレーム期間毎に交互に出力されてもよい。

#### 【0172】

尚、上記の 3 つの実施形態の階調電圧出力装置 6 (図 2、図 4 及び図 8 参照) では、階調電圧群出力期間 P<sub>v</sub> において、選択奇数レベルの階調電圧 V<sub>2n-1</sub> を最初に出し、次に偶数レベルの階調電圧 V<sub>2n</sub> を出力している (図 3、図 6 及び図 9 参照)。しかしながら、偶数レベルの階調電圧 V<sub>2n</sub> を最初に出し、次に奇数レベルの階調電圧 V<sub>2n-1</sub> を出力してもよい。

#### 【0173】

また、上記の 3 つの実施形態の階調電圧出力装置 6 が有する階調電圧群出力手段 600、700 及び 800 は、1 つの出力部 Out から、階調電圧出力期間 P<sub>v</sub>

に 2 つの階調電圧を出力している。しかしながら、本発明では、1 つの出力部 Out から 3 つ以上の階調電圧を出力することも可能である。この場合、階調電圧出力装置 6 の更なる小型化を図ることが可能となる。

#### 【0 1 7 4】

##### 【発明の効果】

以上説明したように、本発明によれば、小型化が図られた階調電圧出力装置が得られる。

##### 【図面の簡単な説明】

【図 1】 液晶表示装置 1 の概略ブロック図である。

【図 2】 図 1 に示す液晶表示装置 1 が備えている階調電圧出力装置 6 の概略構成図である。

【図 3】 階調電圧群出力手段 6 0 0 の出力部 Out 1 乃至 Out 3 2 から出力される階調電圧群 G 1 乃至 G 3 2 を示すグラフである。

【図 4】 本発明の第 2 実施形態の階調電圧出力装置 6 を示す概略構成図である。

【図 5】 図 4 に示す基準電圧群出力段 7 0 1 の個の基準電圧群出力部 OutA 乃至 OutI が出力する基準電圧群 G a 乃至 G i を示すグラフである。

【図 6】 階調電圧群出力手段 7 0 0 の 4 つの出力部 Out 1 乃至 Out 4 それぞれから出力される階調電圧群の一例を示すグラフである。

【図 7】 表示部 2 の V - T 特性を表す V - T 曲線 C を示す図である。

【図 8】 本発明の第 3 実施形態の階調電圧出力装置 6 の概略構成図である。

【図 9】 階調電圧群出力手段 8 0 0 の出力部 Out 1 乃至 Out 3 2 及び出力部 OutADD から出力される電圧を示すグラフである。

##### 【符号の説明】

- 1 液晶表示装置
- 2 表示部
- 3 ゲートドライバ
- 4 ソースドライバ

5 映像ライン

6 電圧出力装置

6 0、7 0、8 0 電源回路

6 1、7 1、7 3、8 1 抵抗チェーン

6 2、7 2、7 4、8 3 セレクタ

6 3、7 5、8 5 スイッチ

8 2 画像信号処理回路

8 2 a 入力部

8 2 b、8 2 c 出力部

8 4 接続切替部

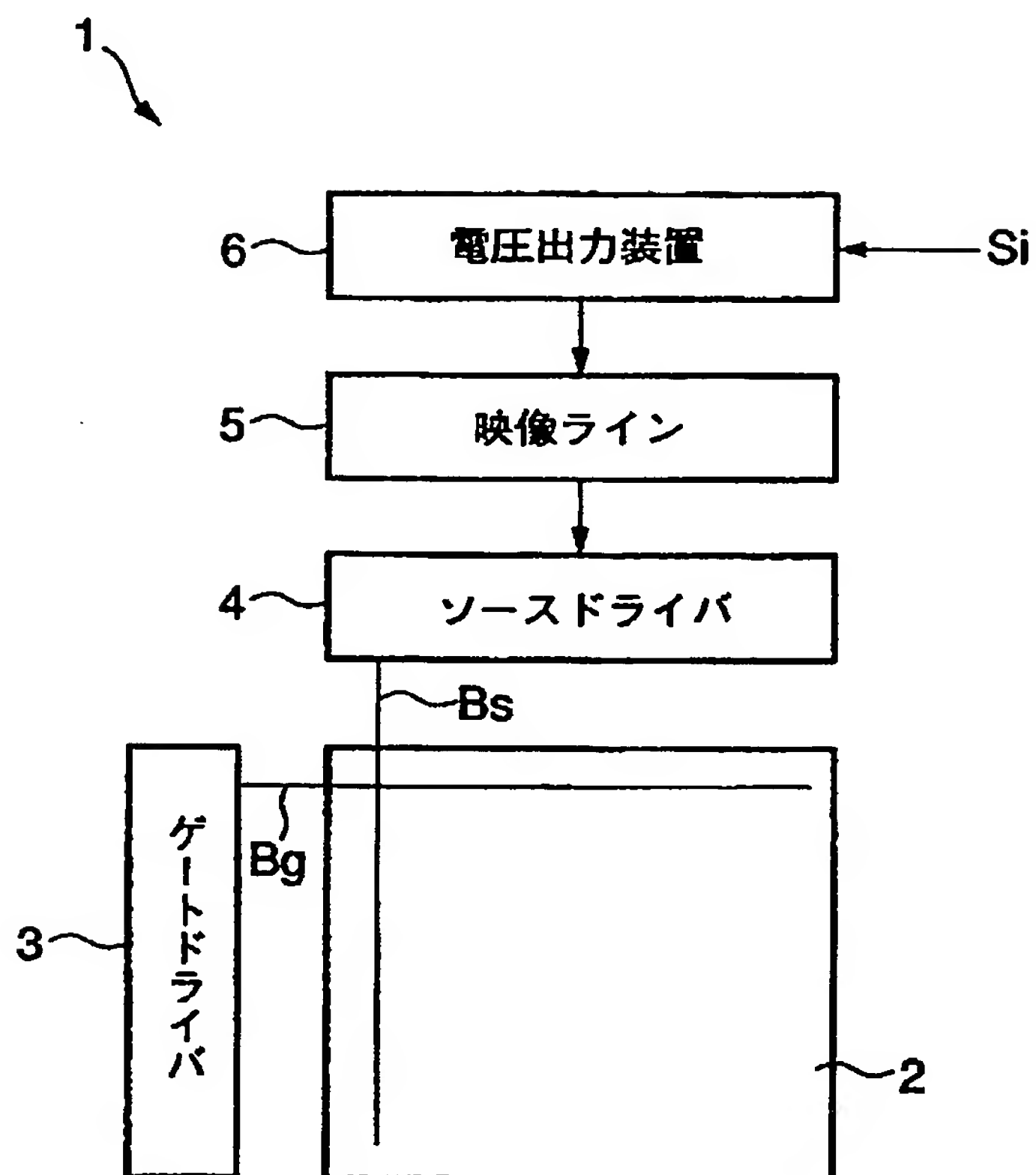
6 0 0、7 0 0、8 0 0 階調電圧群出力手段

7 0 1 基準電圧群出力段

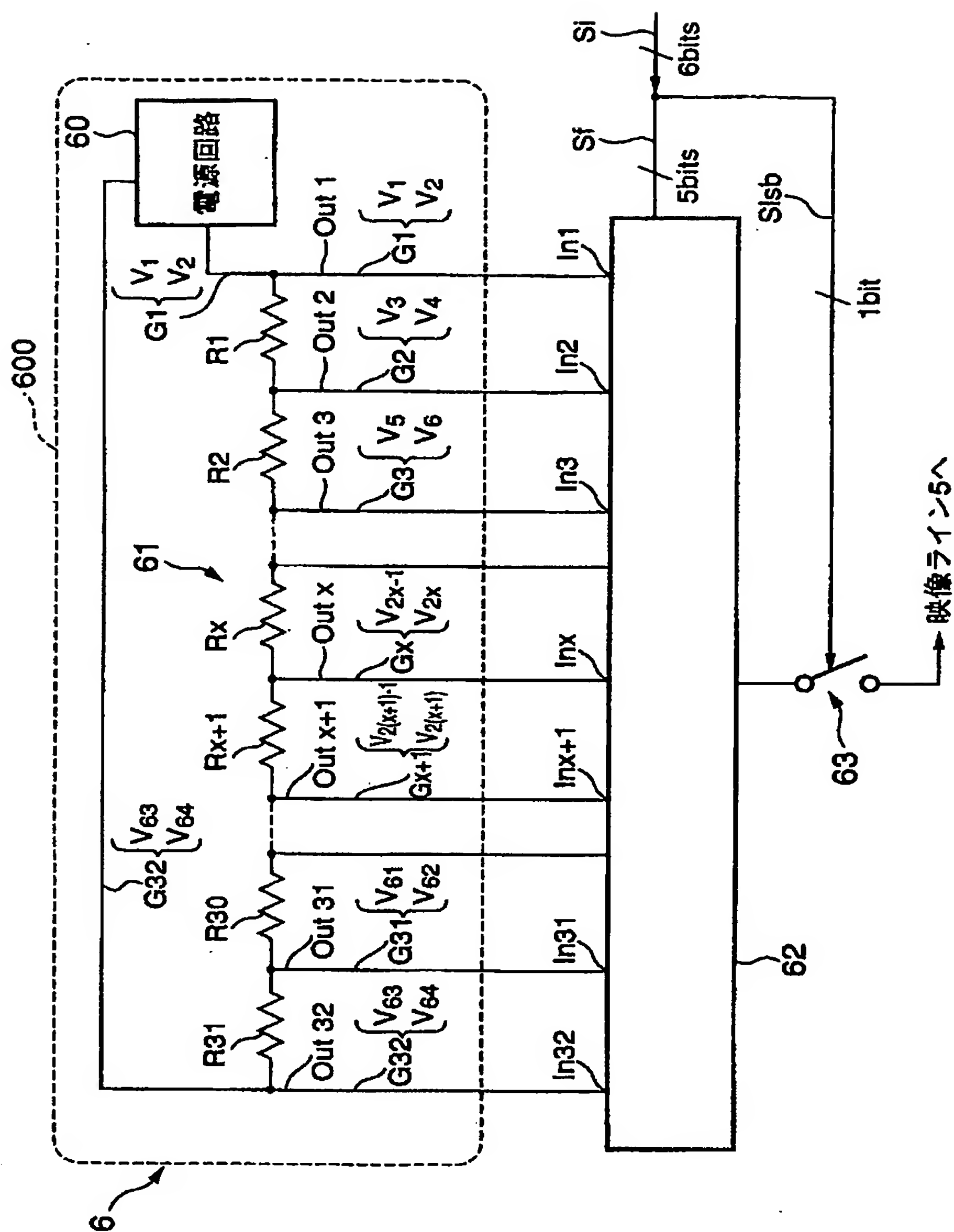


【書類名】 図面

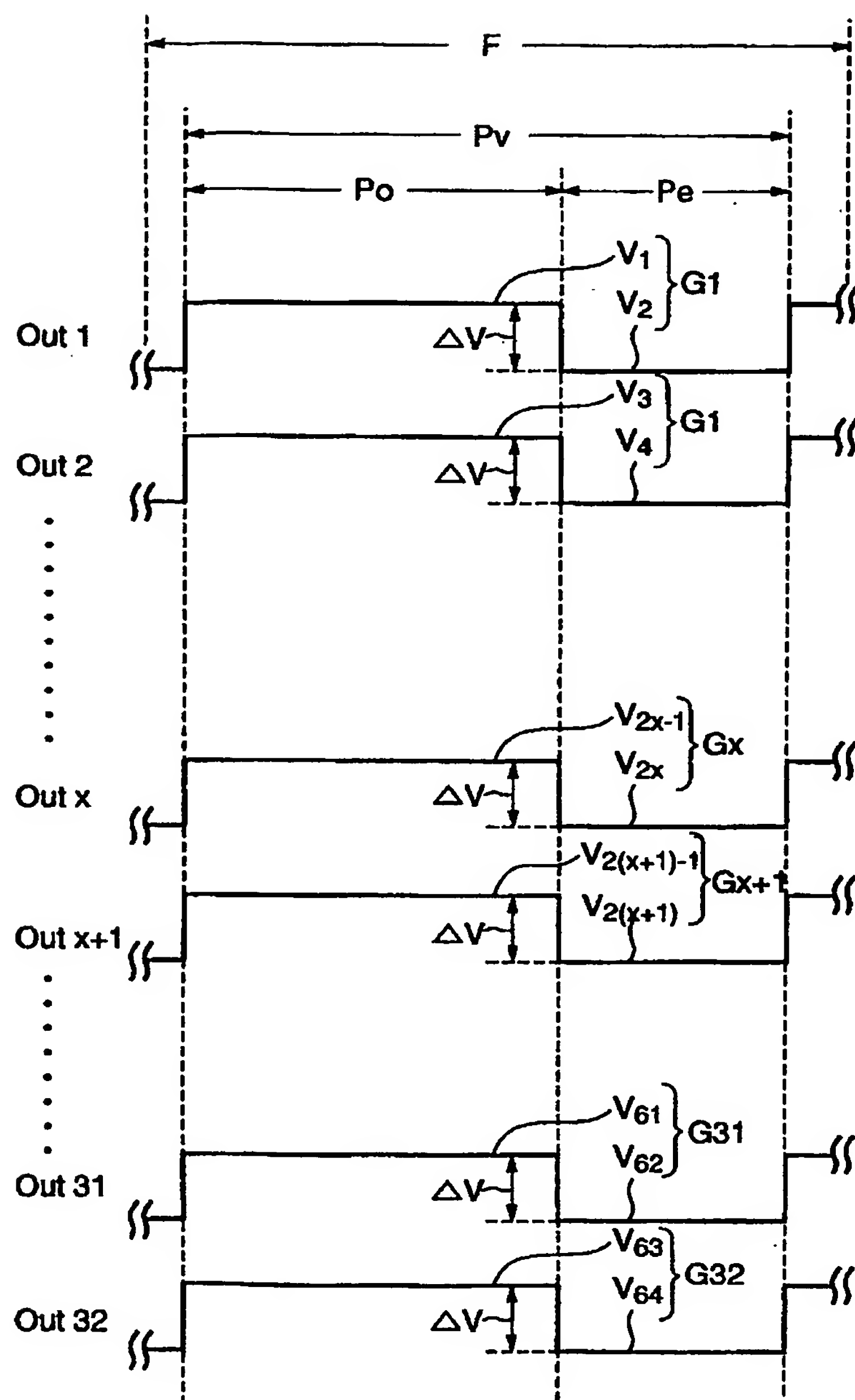
【図 1】



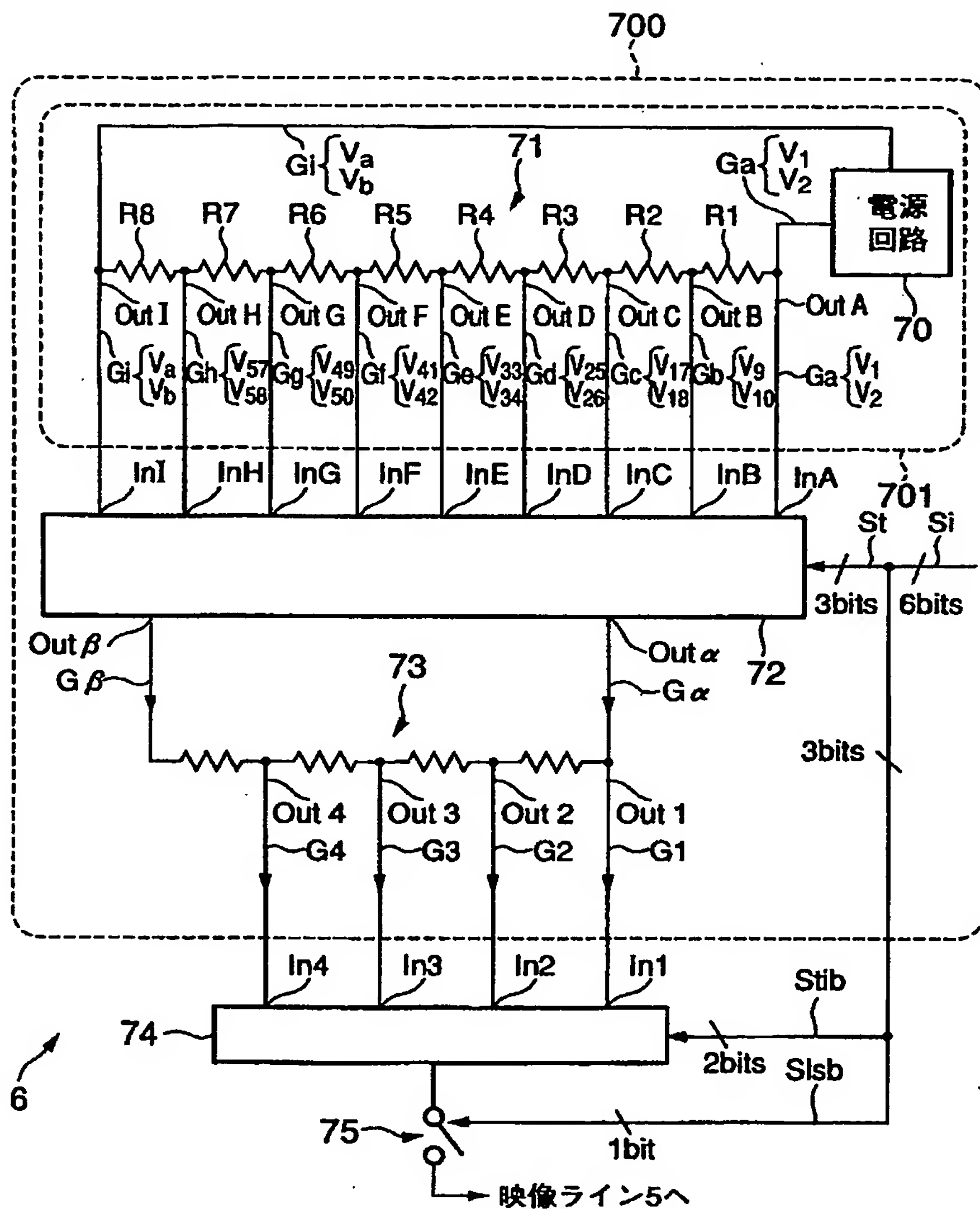
【図 2】



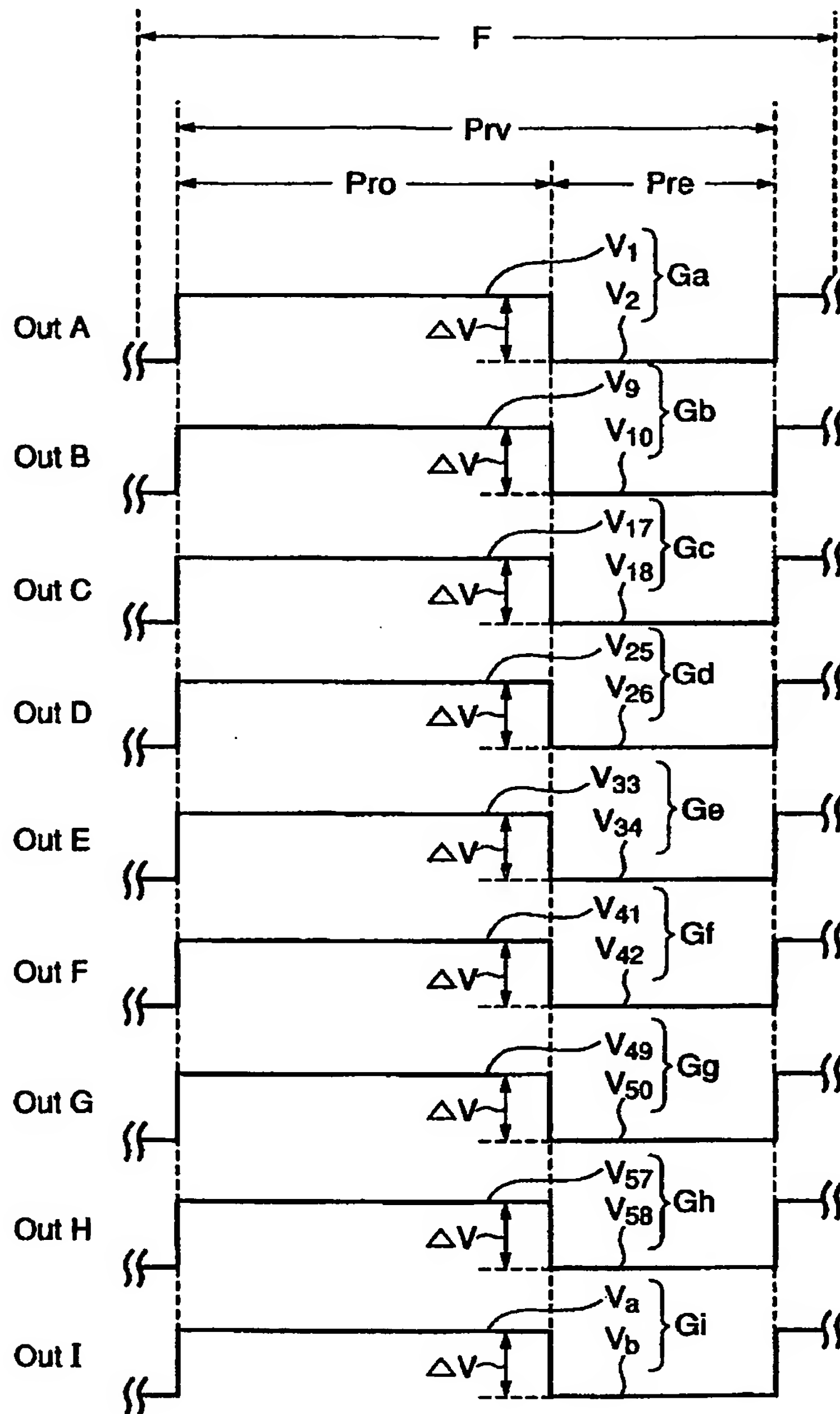
【図 3】



【図 4】

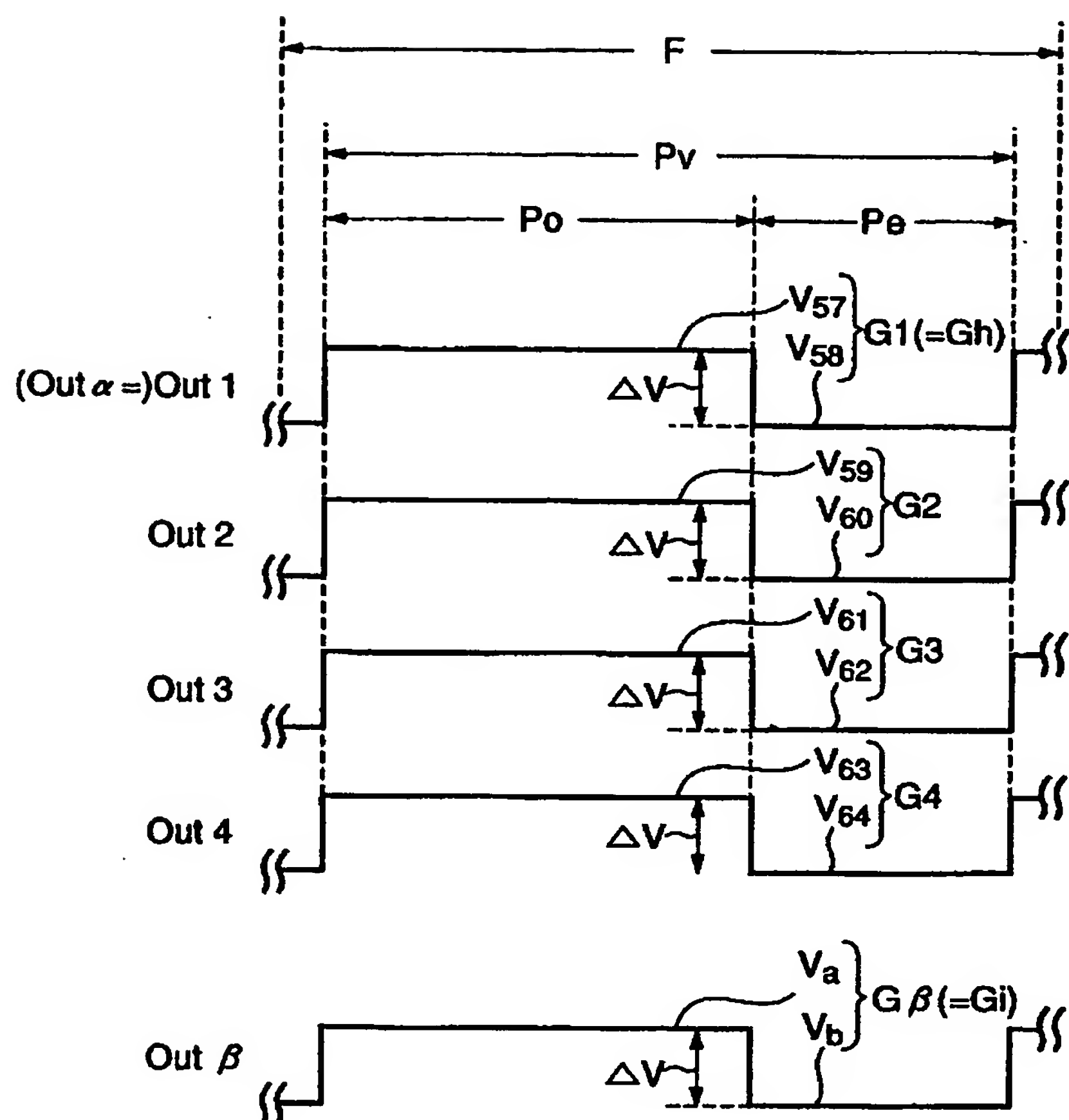


【図 5】

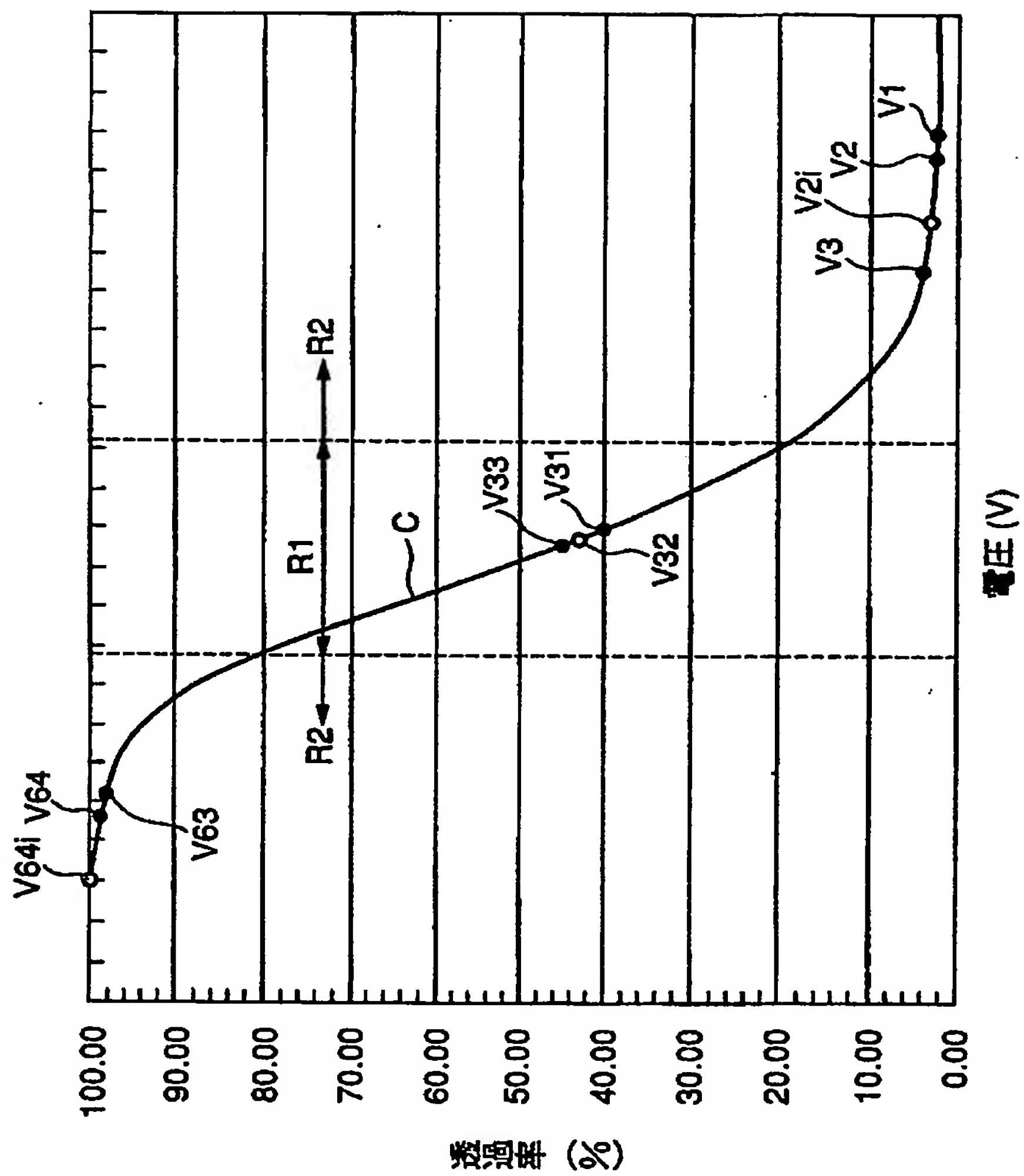




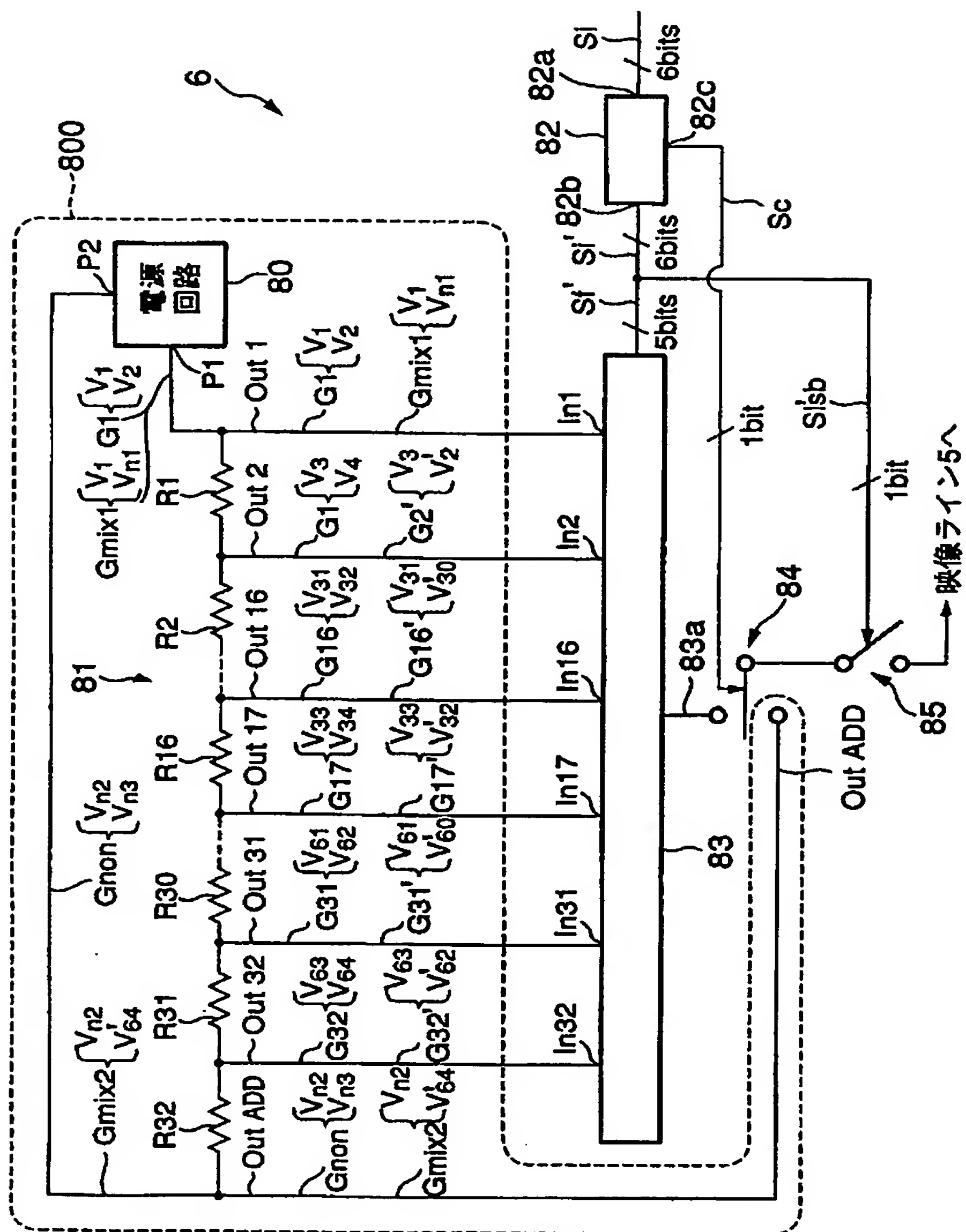
【図 6】



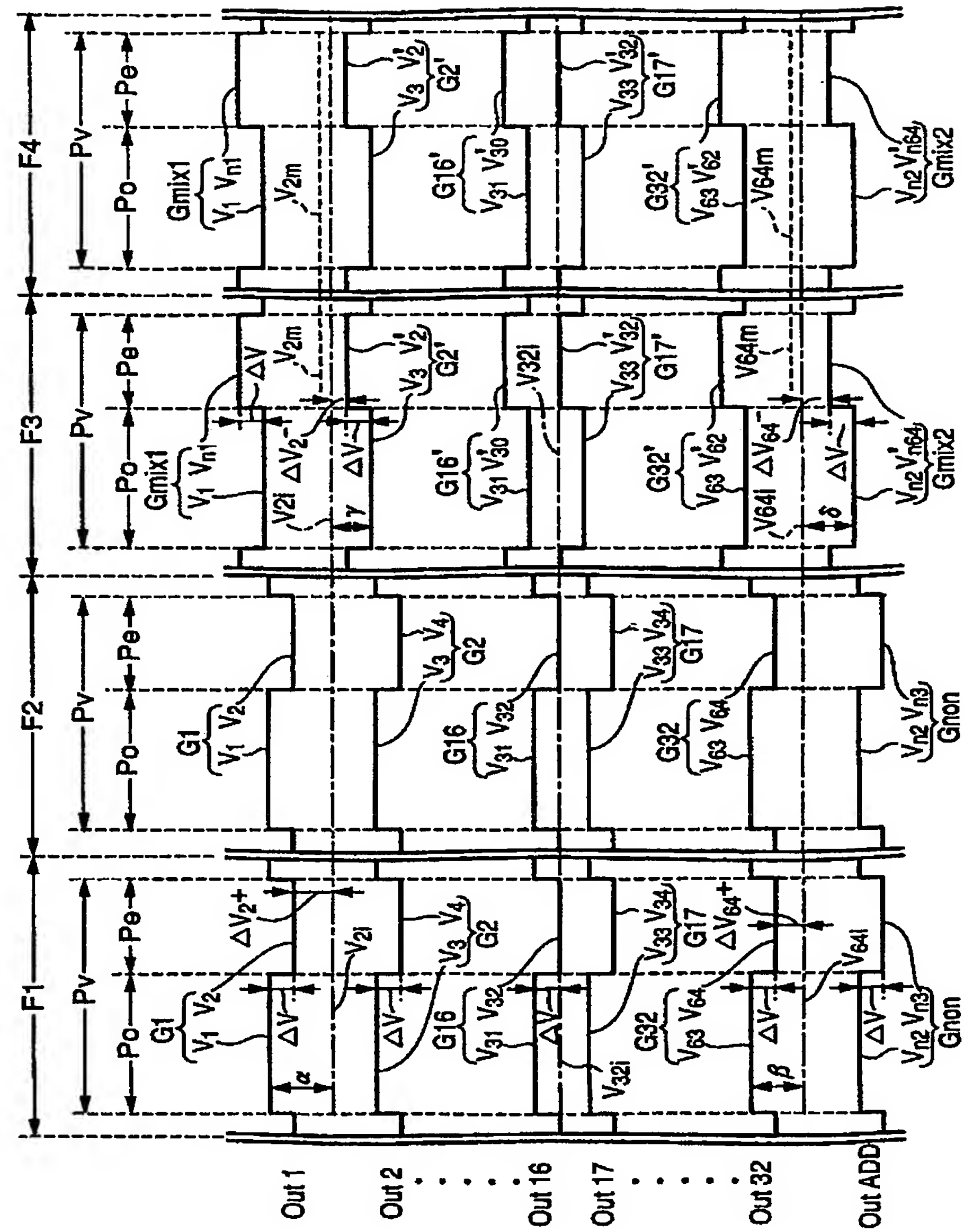
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 小型化が図られた階調電圧出力装置を提供する。

【解決手段】 画像信号  $S_i$  が入力されることにより、階調電圧を出力する階調電圧出力装置 6 が、複数の階調電圧を有する階調電圧群を出力する階調電圧群出力部であって、ソースバス  $B_s$  の選択期間に対応する階調電圧群出力期間  $P_v$  に複数の階調電圧を順次出力する階調電圧群出力部を複数有する階調電圧群出力手段 600 と、複数の階調電圧群出力部  $Out_1$  乃至  $Out_{32}$  から出力された階調電圧群  $G_1$  乃至  $G_{32}$  が入力される複数の階調電圧群入力部  $In_1$  乃至  $In_{32}$  を有し、複数の階調電圧群入力部  $In_1$  乃至  $In_{32}$  の各々に入力された階調電圧群  $G_1$  乃至  $G_{32}$  を切替自在に選択し、選択した階調電圧群を出力するセレクタ 62 と、セレクタ 62 が出力した階調電圧群が有する複数の階調電圧のうち、階調電圧出力装置が出力すべき階調電圧を選択するスイッチ 63 とを備える。

【選択図】 図 2



特願 2002-382426

ページ: 1/E

認定・付加情報

特許出願の番号	特願 2002-382426
受付番号	50201992934
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年 1月 6日

<認定情報・付加情報>

【提出日】	平成14年12月27日
-------	-------------

次頁無

出証特 2003-3086817

特願 2002-382426

出願人履歴情報

識別番号

[590000248]

1. 変更年月日

1998年 7月 21日

[変更理由]

名称変更

住 所

オランダ国 アインドーフエン フルーネヴァウツウエッハ  
1

氏 名

コーニンクレッカ フィリップス エレクトロニクス エヌ  
ヴィ

2. 変更年月日

1998年 8月 3日

[変更理由]

住所変更

住 所

オランダ国 5621 ベーアー アインドーフエン フルー  
ネヴァウツウエッハ 1

氏 名

コーニンクレッカ フィリップス エレクトロニクス エヌ  
ヴィ